



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tatsuya KUNIKIYO, et al.

GAU:

SERIAL NO: 10/760,449

EXAMINER:

FILED: January 21, 2004

FOR: CAPACITANCE MEASUREMENT CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

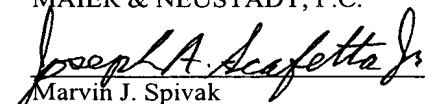
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-011967	January 21, 2003
JAPAN	2004-005857	January 13, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月21日

出 願 番 号

Application Number:

特願2003-011967

[ST.10/C]:

[JP2003-011967]

出 願 人

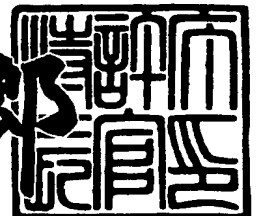
Applicant(s):

三菱電機株式会社
松下電器産業株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3010028

【書類名】 特許願

【整理番号】 541897JP01

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 國清 辰也

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 渡邊 哲也

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 金本 俊幾

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

 【氏名】 山下 恭司

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量値測定用回路及び配線特性の解析方法

【特許請求の範囲】

【請求項 1】 第 1 ～ 第 3 の端子と、

前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、

前記第 2 の端子から誘起される第 2 の電流を検出する第 2 の電流検出部と、

前記第 3 の端子に供給する第 3 の電流を検出する第 3 の電流検出部と、

前記第 1 の端子に第 1 の容量が付随し、前記第 1 の容量は測定対象となる第 1 及び第 2 の容量成分と測定対象外となる対象外容量成分とを含み、前記第 1 の容量成分を付随させるために前記第 2 の端子との間に測定容量形成部が設けられ、

前記第 3 の端子にダミー容量が付随し、前記ダミー容量は前記対象外容量成分と同一容量値を示している、

容量値測定用回路。

【請求項 2】 請求項 1 記載の容量値測定用回路であって、

前記第 1 ～ 第 3 の電流検出部は少なくとも一つのトランジスタを含み、

前記少なくとも一つのトランジスタは、論理回路を構成する標準的なトランジスタよりもリーク電流が生じにくいトランジスタ特性を有するトランジスタを含む、

容量値測定用回路。

【請求項 3】 請求項 1 記載の容量値測定用回路であって、

前記第 1 ～ 第 3 の電流検出部は第 1 の導電型の少なくとも一つのトランジスタを含み、

前記少なくとも一つのトランジスタは第 2 の導電型のウェル領域内形成され、

前記ウェル領域は第 1 の導電型のボトム領域の上層部に選択的に形成される、
容量値測定用回路。

【請求項 4】 請求項 1 記載の容量値測定用回路であって、

前記第 1 ～ 第 3 の電流検出部は互いの導電型式が異なる第 1 及び第 2 のトランジスタを含み、

前記第 1 及び第 2 のトランジスタは、内部に埋め込まれる埋込絶縁層及びその

上部に形成される半導体層を有する S O I 基板の前記半導体層に形成され、前記埋込み絶縁層に到達する素子分離領域によって互いに絶縁分離される、容量値測定用回路。

【請求項 5】 請求項 1 ないし請求項 4 のうち、いずれか 1 項に記載の容量値測定用回路であって、

前記容量値測定用回路はそれぞれが前記第 1 ～第 3 の端子及び前記第 1 ～第 3 の電流検出部を有する第 1 及び第 2 の回路を含み、

前記第 1 及び第 2 の回路はそれぞれ前記測定容量形成部として互いに異なる第 1 及び第 2 の測定容量形成部を有し、

前記第 1 の容量成分は第 1 及び第 2 の部分容量成分を含み、

前記第 1 の測定容量形成部は実質的に前記第 1 及び第 2 の部分容量成分を含み、前記第 2 の測定容量形成部は実質的に前記第 2 の容量成分のみを含むことを特徴とする、

容量値測定用回路。

【請求項 6】 請求項 5 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部はそれぞれ第 1 及び第 2 の測定用トランジスタを有し、

前記第 1 及び第 2 の測定用トランジスタはそれぞれ、ゲート電極、一对の電極領域を有し、前記ゲート電極は前記第 2 の端子に電氣的に接続され、前記一对の電極領域の一方はコンタクトホールを介して電氣的に接続される配線層は前記第 1 の端子に電氣的に接続され、

前記第 1 の部分容量成分は前記コンタクトホールと前記ゲート電極との間に形成される結合容量を含み、前記第 2 の部分容量成分は前記ゲート電極と前記配線層との間に形成される結合容量を含み、

前記第 1 の測定用トランジスタにおける前記コンタクトホールの前記ゲート電極からの距離は、前記第 1 の部分容量成分が有効になる長さに設定され、前記第 2 の測定用トランジスタにおける前記コンタクトホールの前記ゲート電極からの距離は、前記第 1 の部分容量成分が無効化する長さに設定される、容量値測定用回路。

【請求項 7】 請求項 5 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部は第 1 及び第 2 の測定用トランジスタをそれぞれ有し、

前記第 1 及び第 2 の測定用トランジスタはそれぞれ、ゲート電極、第 1 及び第 2 の電極領域を有し、第 1 及び第 2 の電極領域は第 1 及び第 2 のコンタクトホールを介して第 1 及び第 2 の配線層に電氣的に接続され、前記第 1 及び第 2 の配線層が第 1 及び第 2 の端子に電氣的に接続され、

前記第 1 の部分容量成分は前記第 1 及び第 2 のコンタクトホール間に形成される結合容量を含み、前記第 2 の部分容量成分は前記第 1、第 2 の電極領域間に形成される結合容量を含み、

前記第 1 の測定用トランジスタにおける前記第 1 及び第 2 のコンタクトホールは、前記第 1 の部分容量成分が有効になるように形成され、前記第 2 の測定用トランジスタにおける前記第 1 及び第 2 のコンタクトホールの少なくとも一つは、前記第 1 の部分容量成分が零になるように形成される、
容量値測定用回路。

【請求項 8】 第 1 端子と、

所定数の第 2 の端子と、

前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、

共通信号線から得られる第 2 の電流を検出する第 2 の電流検出部とを備え、

前記第 1 の端子に第 1 の容量が付随し、前記第 1 の容量は第 1 及び第 2 の容量成分を含み、前記第 1 の容量成分は所定数の第 1 の容量成分を含み、前記第 1 の容量成分を付随させるために、前記第 1 の端子と前記所定数の第 2 の端子との間に測定容量形成部が設けられ、前記測定容量形成部は、前記第 1 端子と前記所定数の第 2 の端子との間に前記所定数の第 1 の容量成分が設けられ、

前記所定数より少ないビット数の外部信号に基づき前記所定数の第 2 の端子のうちいずれか選択端子として選択し、該選択端子から誘起される第 2 の電流を前記共通信号線に伝達する選択部をさらに備える、

容量値測定用回路。

【請求項 9】 請求項 8 記載の容量値測定用回路であって、

前記選択部は、
 前記外部信号のうちの1ビットがシリアル入力される複数のラッチ部と、
 前記複数のラッチ部のラッチデータに基づき、前記複数の第2の端子を選択する端子選択部とを含む、
 容量値測定用回路。

【請求項10】 第1及び第2の端子と、
 前記第1の端子に供給する供給電流を検出する電流検出部と、
 前記第2の端子を固定電位に接続する第1の状態及び前記第1、第2の端子間を短絡する第2の状態のうち、いずれかの状態に設定する端子状態切り換え部とを備え、
 前記第1、第2の端子間に、第1及び第2の容量成分を含む測定容量を有する測定容量形成部が設けられる、
 容量値測定用回路。

【請求項11】 請求項10記載の容量値測定用回路であって、
 前記容量値測定用回路は第1及び第2の回路を含み、
 前記第1及び第2の回路は、それぞれ、前記第1及び第2の端子、前記電流検出部、及び前記端子切り換え部を有し、
 前記第1及び第2の回路は前記測定容量形成部として互いに異なる第1及び第2の測定容量形成部を有している、
 容量値測定用回路。

【請求項12】 請求項11記載の容量値測定用回路であって、
 前記測定容量は測定対象外となる対象外容量成分を含み、
 前記第1及び第2の測定容量形成部は、前記4つの前記供給電流の値に基づき、前記対象外容量成分を除去して前記第1及び第2の容量成分を測定可能に形成されることを特徴とする、
 容量値測定用回路。

【請求項13】 請求項12記載の容量値測定用回路であって、
 前記測定容量は測定対象となる第3の容量成分を含み、
 前記第1及び第2の測定容量形成部は、前記4つの前記供給電流の値に基づき

、前記対象外容量成分を除去して前記第 1 ～第 3 の容量成分のうち少なくとも一つが測定可能に形成されることを特徴とする、
容量値測定用回路。

【請求項 1 4】 請求項 1 3 記載の容量値測定用回路であって、
前記第 1 の測定容量形成部は、
第 1 の半導体基板と、
前記第 1 及び第 2 の端子に電氣的に接続される第 1 及び第 2 の電極とを含み、
前記第 1 の半導体基板の表面内の所定領域に選択的に形成される第 1 及び第 2 の活性領域とを備え、前記第 1 及び第 2 の活性領域は前記第 1 及び第 2 の電極に電氣的に接続され、
前記第 1、第 2 の活性領域間を絶縁分離する分離領域を含み、
前記第 2 の測定容量形成部は、
前記第 1 の半導体基板と等価な第 2 の半導体基板と、
前記第 2 の半導体基板の表面内の少なくとも前記所定領域に対応する領域に形成される絶縁領域とを含み、
前記第 1 及び第 2 の容量成分の一方は前記第 1 及び第 2 の電極間に形成される結合容量を含み、
前記第 3 の容量成分は、前記第 1、第 2 の活性領域とその間の前記分離領域によって形成される結合容量を含む、
容量値測定用回路。

【請求項 1 5】 請求項 1 4 記載の容量値測定用回路であって、
前記第 1 の測定容量形成部は、
前記半導体基板の前記所定領域外の表面内に前記第 1 及び第 2 の活性領域と等価なダミー活性領域を設けたことを特徴する、
容量値測定用回路。

【請求項 1 6】 請求項 1 4 あるいは請求項 1 5 記載の容量値測定用回路であって、
前記第 1 及び第 2 の半導体基板は、内部に埋め込まれる埋込絶縁層及びその上部に形成される半導体層を有する S O I 基板を含み、前記第 1 の測定容量形成部

の前記第 1 及び第 2 の活性領域は前記半導体層の表面内に形成され、前記第 2 の測定容量形成部の前記絶縁領域は前記半導体層の表面内に形成される、容量値測定用回路。

【請求項 1 7】 請求項 1 6 記載の容量値測定用回路であって、

前記分離領域は、前記半導体層の表面から前記埋込絶縁層に到達する分離領域を含み、前記第 1 及び第 2 の活性領域間は前記埋込絶縁層及び前記少なくとも一つの分離領域により完全分離される、

容量値測定用回路。

【請求項 1 8】 請求項 1 7 記載の容量値測定用回路であって、

前記第 1 及び第 2 の活性領域は前記半導体層の表面から前記埋込絶縁層に到達する活性領域を含む、

容量値測定用回路。

【請求項 1 9】 請求項 1 4 ないし請求項 1 8 のうち、いずれか 1 項に記載の容量値測定用回路であって、

前記第 1 及び第 2 の電極はそれぞれ複数の歯部分を有する櫛形構造の電極を含み、前記第 1 及び第 2 の電極の前記複数の歯部分は交互に所定間隔隔てて交叉するように配置され、

前記第 1 及び第 2 の活性領域は前記分離領域を介して交互に形成される複数の第 1 及び第 2 の活性領域を含み、前記複数の第 1 及び第 2 の活性領域は前記第 1 及び第 2 の電極それぞれの複数の歯部分とそれぞれコンタクトホールを介して電氣的に接続される、

容量値測定用回路。

【請求項 2 0】 請求項 1 3 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部はそれぞれ、

半導体基板と、

前記第 1 及び第 2 の端子に電氣的に接続される第 1 及び第 2 の配線層と、

前記半導体基板の表面内の所定領域に選択的に形成される第 1 及び第 2 の活性領域とを含み、前記第 1 の活性領域は前記第 1 の配線層により電氣的影響を受け、前記第 2 の活性領域はコンタクトホールを介して第 2 の配線層に電氣的に接続

され、

前記第 1、第 2 の活性領域間を絶縁分離する分離領域をさらに含み、

前記第 3 の容量成分は、前記第 1、第 2 の活性領域とその間の前記分離領域によって形成される結合容量を含み、

前記第 1 及び第 2 の測定容量形成部間で異なる面積の前記第 1 の活性領域を用いたことを特徴とする。

容量値測定用回路。

【請求項 2 1】 請求項 2 0 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部それぞれの前記第 1 の活性領域はコンタクトホールを介して前記第 1 の配線層に電氣的に接続される、

容量値測定用回路。

【請求項 2 2】 請求項 2 0 記載の容量値測定用回路であって、

前記第 1 及び第 2 の測定容量形成部はそれぞれ

前記第 1 の活性領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成されるゲート電極と、

前記ゲート電極と前記第 1 配線層とを電氣的に接続するコンタクトホールとを含む、

容量値測定用回路。

【請求項 2 3】 請求項 8 あるいは請求項 1 0 記載の容量値測定用回路を用いた配線特性の解析方法であって、

(a) 絶縁層を介して複数の層に形成される多層配線構造の配線層間の絶縁層の膜厚及びその誘電率を含む配線特性を設定するステップと、

(b) 前記(a)で設定した配線特性に基づき所定の容量を非実測で求めるステップとを備え、前記所定の容量は前記第 1 及び第 2 の容量成分のうちの少なくとも一つを含み、

(c) 前記多層配線構造を前記測定容量形成部に含む前記容量値測定用回路を用いて前記所定の容量を実測で求めるステップと、

(d) 前記ステップ(b), (c)で得た前記所定の容量値とが一致するように、前記配線特性を適宜変更しながらステップ(b)を繰り返し実行させ、最終的に一致し

た前記配線特性を推定値として解析するステップと、
をさらに備える配線特性の解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はCBCM (Charge Based Capacitance Measurement) 方法を用いたCBCM用回路及びそれを用いた容量値測定方法に関する。

【0002】

【従来の技術】

CBCM用回路はLCRメータなどのAC測定器では十分な精度が得られないsub-fFレベル(10^{-15} F以下)の容量値測定用回路であり、非特許文献1に開示されている。また、配線の一部容量を単独で測定可能にした改良型CBCM用回路は特許文献1に開示されている。

【0003】

【非特許文献1】

James C.Chen,外3名, "An On-Chip Attifarad Interconnect Charge-Based Capacitance Measurement(CBCM) Technique", Technial Digest of IEDM 1996, pp.69-72

【特許文献1】

米国特許第6, 300, 765明細書

【0004】

【発明が解決しようとする課題】

従来のCBCM用回路及び改良型CBCM用回路は、配線の全体容量や一部容量等、測定対象は固定されており、被測定対象の成分を分離した測定が困難であるという問題点があった。

【0005】

この発明は上記問題点を解決するためになされたもので、被測定対象の成分を分離した測定が可能なCBCM用回路を得ることを目的とする。

【0006】

【課題を解決するための手段】

この発明にかかる請求項 1 記載の容量値測定用回路は、第 1 ～第 3 の端子と、前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、前記第 2 の端子から誘起される第 2 の電流を検出する第 2 の電流検出部と、前記第 3 の端子に供給する第 3 の電流を検出する第 3 の電流検出部と、前記第 1 の端子に第 1 の容量が付随し、前記第 1 の容量は測定対象となる第 1 及び第 2 の容量成分と測定対象外となる対象外容量成分とを含み、前記第 1 の容量成分を付随させるために前記第 2 の端子との間に測定容量形成部が設けられ、前記第 3 の端子にダミー容量が付随し、前記ダミー容量は前記対象外容量成分と同一容量値を示している。

【0007】

この発明に係る請求項 8 記載の容量値測定用回路は、第 1 端子と所定数の第 2 の端子と、前記第 1 の端子に供給する第 1 の電流を検出する第 1 の電流検出部と、共通信号線から得られる第 2 の電流を検出する第 2 の電流検出部とを備え、前記第 1 の端子に第 1 の容量が付随し、前記第 1 の容量は第 1 及び第 2 の容量成分を含み、前記第 1 の容量成分は所定数の第 1 の容量成分を含み、前記第 1 の容量成分を付随させるために、前記第 1 の端子と前記所定数の第 2 の端子との間に測定容量形成部が設けられ、前記測定容量形成部は、前記第 1 端子と前記所定数の第 2 の端子との間に前記所定数の第 1 の容量成分が設けられ、前記所定数より少ないビット数の外部信号に基づき前記所定数の第 2 の端子のうちいずれか選択端子として選択し、該選択端子から誘起される第 2 の電流を前記共通信号線に伝達する選択部とをさらに備えて構成している。

【0008】

この発明に係る請求項 10 記載の容量値測定用回路は、第 1 及び第 2 の端子と、前記第 1 の端子に供給する供給電流を検出する電流検出部と、前記第 2 の端子を固定電位に接続する第 1 の状態及び前記第 1、第 2 の端子間を短絡する第 2 の状態のうち、いずれかの状態に設定する端子状態切り換え部とを備え、前記第 1、第 2 の端子間に、第 1 及び第 2 の容量成分を含む測定容量を有する測定容量形成部が設けられている。

【0009】

【発明の実施の形態】

＜実施の形態1＞

図1はこの発明の実施の形態1であるCBCM用回路の構成を示す回路図である。同図に示すように、PMOSトランジスタMP1及びNMOSトランジスタMN1が直列に接続され、PMOSトランジスタMP2及びNMOSトランジスタMN2が直列に接続される。そして、PMOSトランジスタMP1のソースがパッド52に、PMOSトランジスタMP2のソースがパッド54に接続され、NMOSトランジスタMN1及びMN2のソースが共通にパッド55に接続される。また、PMOSトランジスタMP1及びMP2のゲートにはパッド53が、バックゲートとなるウェル領域にはパッド51がそれぞれ接続され、NMOSトランジスタMN1及びMN2のゲートにはパッド56が接続される。PMOSトランジスタMP1、NMOSトランジスタMN1のドレイン間の端子P3にノードN3が接続される。

【0010】

さらに、PMOSトランジスタMP2、NMOSトランジスタMN2のドレイン間の端子P1にノードN1が電氣的に接続され、ノードN1はノードN2との間の測定容量形成部にカップリング容量（結合容量）Ccが形成される。ノードN2は端子P2及びNMOSトランジスタMN3を介してパッド58に接続される共に端子P2及びNMOSトランジスタMN4を介してパッド55に接続される。NMOSトランジスタMN3及びMN4のゲートにはパッド57及び56がそれぞれ接続される。

【0011】

なお、本明細書中において、「ノード」は通常の電氣的接点のみならず、電氣的接点に電氣的に接続される配線層、容量の電極、トランジスタのゲート電極等の導電層を示す名称としても用いている。

【0012】

また、パッド51、52、53、54、55、56、及び57には、電位NW、基準電位Vref、PMOSゲート電位GP、テスト電位Vtst、電位GND、N

MOSゲート電位GN, 及びイネーブル電圧ENがそれぞれ付与される。また、パッド52, 54には電源が供給され、電流計61及び電流計62によって電源からノードN3及びノードN1にそれぞれ供給される電流Ir及び電流Itがそれぞれ測定される。パッド58は接地レベルに接続され、ノードN2から誘起され接地レベルに流れる電流Imが電流計63によって測定される。

【0013】

電位NWはPMOSトランジスタMP1, MP2のウェル領域の電位設定用の電位であり、電位GNDはNMOSトランジスタMN1, MN2, MN4の活性領域（図示せず）とソースに電位を与える。

【0014】

PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1及びMN2はそれぞれゲート長、ゲート幅、ゲート絶縁膜厚とも同じ対のトランジスタである。また、NMOSトランジスタMN3及びMN4はそれぞれゲート長、ゲート幅、ゲート絶縁膜厚とも同じ対のトランジスタである。

【0015】

そして、ノードN2のテスト容量Ctstとして、基準容量Cref（被測定用配線であるノードN1までの配線容量）に、ノードN1, N2間のカップリング容量Cc（第1の容量成分）、及びノードN1におけるカップリング容量Ccを除く配線容量Cv（第2の容量成分）が付加され、テスト容量Ctst=Cref+Cv+Ccとなる。そして、ノードN3にはダミー容量として基準容量Cref（第3の容量成分）と同じ容量値が設けられる。基準容量Crefは測定対象外の容量である。

【0016】

図2は図1で示した実施の形態1のCBCM用回路動作を示すタイミング図である。以下、同図を参照して、実施の形態1のCBCM用回路による容量値測定動作を説明する。

【0017】

同図に示すように、基準電位Vref、テスト電位Vtst、電位NWは電源電位Vddに固定され、電位GNDは接地電位Vssに固定される。PMOSゲート電位GP及びNMOSゲート電位GNの入力電圧波形は、どの時間においても、N

MOSトランジスタMN1, MN2及びPMOSトランジスタMP1, MP2のうち、どちらか一方のみがオンするように与えられる。したがって、同一時間において、PMOSトランジスタMP1からNMOSトランジスタMN1へ、あるいは、PMOSトランジスタMP2からNMOSトランジスタMN2へ流れる貫通電流は生じない。

【0018】

図2に示すように、時間 t_0 以前のディスチャージ期間は、PMOSゲート電位GP及びNMOSゲート電位GNは“H”、イネーブル電圧ENが“L”レベルであるため、PMOSトランジスタMP1, MP2及びNMOSトランジスタMN3がオフ状態であり、NMOSトランジスタMN1, MN2及びMN4はオン状態である。したがって、ノードN1～N3は全て“L”にディスチャージされる。

【0019】

時間 $t_0 \sim t_1$ のオフ期間は、NMOSゲート電位GNが“L”に変化するため、PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1～MN4がオフ状態となる。

【0020】

時間 $t_1 \sim t_2$ のイネーブル期間は、イネーブル電圧ENが“H”になり、電流計63による電流 I_m のモニタが可能となる。

【0021】

時間 $t_2 \sim t_3$ の測定期間は、PMOSゲート電位GPが“L”に変化し、PMOSトランジスタMP1及びMP2がオン状態となり電流 I_r 及び電流 I_t が流れ、ノードN3及びN1は“H”になる。したがって、ノードN1に付随する全容量(C_{tst})に電荷が蓄積される。ノードN3に付随する全容量(C_{ref})に電荷が蓄積される。

【0022】

この際、電流 I_r 及び電流 I_t がそれぞれ電流計61及び62により測定されると共に、ノードN2からパッド58を経由した接地レベルまでの電流経路で励起される電流 I_m が電流計63によって測定される。

【0023】

時間 $t_3 \sim t_4$ のディスエーブル期間は、PMOSゲート電位 G_P が“H”になる。

【0024】

時間 $t_4 \sim t_5$ のオフ期間で、イネーブル電圧 E_N が“L”になり、全てのPMOSトランジスタ M_P1 及び M_P2 並びにNMOSトランジスタ $M_N1 \sim M_N4$ がオフ状態となる。

【0025】

その後、時間 t_5 でNMOSゲート電位 G_N が“H”となり、ディスチャージ期間が開始する。この時間 $t_5 \sim t_0$ までの期間がディスチャージ期間となる。

【0026】

以上が動作の1周期 T ($t_0 \sim t_5 \sim t_0$ までの時間) で、以降、この動作を繰り返す。測定装置で観測するのは、電流 I_r 、電流 I_t 及び電流 I_m の時間平均値である。今、ゲート入力波形 (G_P , G_N , E_N) の周波数を f ($=1/T$) とすると、次の(1)式が成り立つため、カップリング容量 C_c は(2)式で決定する。

【0027】

【数1】

$$I_m = C_c \times V_{dd} \times f \quad \cdots(1)$$

【0028】

【数2】

$$C_c = I_m / (V_{dd} \times f) \quad \cdots(2)$$

【0029】

また、電流 I_t と電流 I_r との差は次の(3)式で与えられる。

【0030】

【数 3】

$$\begin{aligned}
 I_t - I_r &= C_{tst} \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\
 &= (C_{ref} + C_v + C_c) \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\
 &= (C_v + C_c) \times V_{dd} \times f \quad \dots(3)
 \end{aligned}$$

【0 0 3 1】

したがって、(2)式及び(3)式より、配線容量 C_v が次の(4)式で与えられる。

【0 0 3 2】

【数 4】

$$\begin{aligned}
 C_v &= (I_t - I_r) / (V_{dd} \times f) - C_c \\
 &= (I_t - I_r - I_m) / (V_{dd} \times f) \quad \dots(4)
 \end{aligned}$$

【0 0 3 3】

したがって、ノードN2に付随するカップリング容量 C_c 及び配線容量 C_v それぞれを、不要な基準容量 C_{ref} を取り除いて正確に求めることができる。

【0 0 3 4】

図3は測定配線あるいはダミー配線となるノードN1～ノードN3の具体例を示す平面図である。図4は図3のA-A'断面を示す断面図である。

【0 0 3 5】

これらの図に示すように、容量の一方電極として機能するノードN1の両側面に所定間隔隔てて、上記容量の他方電極として機能するノードN2が設けられ、図4に示すように、ノードN1、N2間でカップリング容量 C_c が2箇所形成され、ノードN1の下方の基板（あるいは下層配線）との間に配線容量 C_v が形成される。なお、ノードN1がノードN2とカップリング容量 C_c を形成するまでの距離 L_{13} 相当分の長さでノードN3を形成している。

【0 0 3 6】

図3及び図4の構成で、カップリング容量 C_c 及び配線容量 C_v を測定する。この例では、ノードN1、N2間に形成されるカップリング容量それぞれを C_c と設定している。

【0 0 3 7】

(2)式と同様にして C_c は次の(5)式で与えられる。

【 0 0 3 8 】

【数 5】

$$C_c = I_m / (V_{dd} \times f \times 2) \quad \dots(5)$$

【 0 0 3 9 】

また、電流 I_t と電流 I_r との差は次の(6)式で与えられる。

【 0 0 4 0 】

【数 6】

$$\begin{aligned} I_t - I_r &= C_{tst} \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_{ref} + C_v + 2 \times C_c) \times V_{dd} \times f - C_{ref} \times V_{dd} \times f \\ &= (C_v + 2 \times C_c) \times V_{dd} \times f \quad \dots(6) \end{aligned}$$

【 0 0 4 1 】

したがって、(5)式及び(6)式より、配線容量 C_v が次の(7)式で与えられる。

【 0 0 4 2 】

【数 7】

$$\begin{aligned} C_v &= (I_t - I_r) / (V_{dd} \times f) - 2 \times C_c \\ &= (I_t - I_r - I_m) / (V_{dd} \times f) \quad \dots(7) \end{aligned}$$

【 0 0 4 3 】

図 1 で示した回路構成では、NMOS トランジスタ MN 1, MN 2 及び MN 4 のゲートに NMOS ゲート電位 G_N を共通に与えるため、NMOS トランジスタ MN 3 を採用することによるパッド数の増加はない。

【 0 0 4 4 】

しかも、上述した(1)～(4)式 ((5)～(7)式) によって、被測定容量であるテスト容量 C_{tst} をカップリング容量 C_c 及び配線容量 C_v に分離して測定することができる。したがって、従来のように、容量成分別に被測定容量用のレイアウトパターンを用意する必要がなくなるため、回路のレイアウト面積を削減することができる。

【 0 0 4 5 】

(他の態様)

PMOSトランジスタMP1及びMP2並びにNMOSトランジスタMN1～MN4のサブスレショルド電流の低減を図るべく、一般的な論理回路（コアロジック）で用いられるトランジスタよりゲート長の長いトランジスタを使用することが望ましい。例えば、I/O（入出力用）トランジスタ（3.3V, 2.5V, 1.8V等の比較的互い電源電圧で動作）と同等のゲート長で構成すれば良い。これにより、サブスレショルド電流リークによる測定電流の誤差を低減することができる効果を奏する。なお、コアロジックのトランジスタを説明している文献として例えば、“International Technology Roadmap for Semiconductors (ITRS) 2001 Edition, Process Integration, Device, And Structures And Emerging Research Devices”等がある。

【0046】

ゲート酸化膜の膜厚をコアトランジスタより厚く形成したり、コアトランジスタの動作電源よりも高く設定したりしても同様な効果を奏する。例えば、ゲート酸化膜の膜厚をI/Oトランジスタ程度で構成することが考えられる。

【0047】

このように、CBCM用回路で用いるMOSトランジスタとして、論理回路を構成する標準的なトランジスタよりもリーク電流が生じにくいトランジスタを用いることが望ましい。

【0048】

<実施の形態2>

図5はこの発明の実施の形態2であるCBCM用回路の構成をウェル領域との関係で模式的に示した説明図である。同図に示すように、PMOSトランジスタMP1及びMP2はNウェル領域32Nに形成され、NMOSトランジスタMN3及びMN4はPウェル領域32P内に形成される。Pウェル領域32Pはパッド59によってPウェル用接地電位PWで電位固定される。他の構成は図1で示した実施の形態1と同様であるため説明を省略する。

【0049】

図6は図5のCBCM用回路で用いるNMOSトランジスタMN3及びMN4の断面構造を示す断面図である。図7は図6のウェル構造を簡易的に示す説明図

である。

【0050】

これらの図に示すように、P型基板30の上層部にボトムNウェル領域31が設けられ、ボトムNウェル領域31の上層部にPウェル領域32P及びNウェル領域32N（図6では図示省略している。）が設けられる。したがって、ボトムNウェル領域31、Nウェル領域32N及びPウェル領域32Pによるトリプルウェル構造を呈している。

【0051】

Pウェル領域32Pの表面内には、 P^+ 拡散領域34及び N^+ 拡散領域35、36が選択的に形成され、ボトムNウェル領域31の表面内に N^+ 拡散領域33が形成される。 N^+ 拡散領域35、35間のPウェル領域32Pの上方にはゲート電極37が設けられることによりNMOSトランジスタMN3を構成し、 N^+ 拡散領域36、36間のPウェル領域32Pの上方にはゲート電極38が設けられることによりNMOSトランジスタMN4を構成する。

【0052】

P^+ 拡散領域34上にはコンタクトホール66介してパッド59が電氣的に接続され、 N^+ 拡散領域35（ソース側）上にはコンタクトホール66を介してパッド55が電氣的に接続され、ゲート電極37上にはコンタクトホール66を介してパッド56が電氣的に接続され、 N^+ 拡散領域35（ドレイン側）上にはコンタクトホール66を介して配線層として機能するノードN2が電氣的に接続され、 N^+ 拡散領域36（ドレイン側）上にコンタクトホール66を介してノードN2が電氣的に接続され、ゲート電極38上にはコンタクトホール66を介してパッド57が接続され、 N^+ 拡散領域36（ソース側）上にはコンタクトホール66を介してパッド58が電氣的に接続される。また、 N^+ 拡散領域33はコンタクトホール66を介してパッド51に電氣的に接続される。なお、当然のことながら、ゲート電極37、38とPウェル領域32Pとの間、コンタクトホール66、66間、パッド間等は、絶縁層67により絶縁分離されている。なお、以降に示す図では、絶縁層67に相当する層の図示を省略している。

【0053】

このように、トリプルウェル構造のPウェル領域32P内にNMOSトランジスタMN3及びMN4を形成することにより、NMOSトランジスタMN3及びMN4に発生する接合リーク電流を効果的に抑制することができる。

【0054】

さらに、パッド59に電流計を接続し、接合リーク電流をモニタし、電流 I_m を補正することにより、さらに高精度な容量値の測定を可能にすることができる。

【0055】

なお、図5及び図6の例では、P型基板30を示したが、N型基板でも同様の効果を奏する。

【0056】

＜実施の形態3＞

図8はこの発明の実施の形態3であるCBCM用回路で用いられるトランジスタ構造を示す断面図である。同図に示すように、NMOSトランジスタMN3及びMN4がP型基板41、埋込酸化膜42及びSOI (Silicon-On-Insulator) 層43よりなるSOI基板のSOI層43内に形成されている。

【0057】

SOI層43に N^+ 拡散領域44及び N^+ 拡散領域45が選択的に形成され、 N^+ 拡散領域44、44間のSOI層43の上方にゲート電極37が形成され、 N^+ 拡散領域45、45間のSOI層43の上方にゲート電極38が形成される。 N^+ 拡散領域44、44及びゲート電極37によってNMOSトランジスタMN4が構成され、 N^+ 拡散領域45、45及びゲート電極38によってNMOSトランジスタMN3が構成される。

【0058】

N^+ 拡散領域44（ソース側）上にはコンタクトホール66を介してパッド55が電氣的に接続され、ゲート電極37上にはコンタクトホール66を介してパッド56が電氣的に接続され、 N^+ 拡散領域44（ドレイン側）上にはコンタクトホール66を介してノードN2が電氣的に接続され、 N^+ 拡散領域45（ドレイン側）上にコンタクトホール66を介してノードN2が電氣的に接続され、ゲ

ート電極38上にはコンタクトホール66を介してパッド57が接続され、 N^+ 拡散領域45（ソース側）上にはコンタクトホール66を介してパッド58が電氣的に接続される。

【0059】

なお、図8では図示しないが、NMOSトランジスタMN3、MN4と他のトランジスタとを完全分離すべく、NMOSトランジスタMN3及びMN4の周辺にはSOI層43の表面から埋込酸化膜42に到達するSTI（Shallow Trench Isolation）領域49が形成される。

【0060】

このように、NMOSトランジスタMN3及びMN4をSOI基板上に他の素子から完全分離して形成することにより、埋込酸化膜42の存在によって、NMOSトランジスタMN3及びMN4により発生する接合リークは無くなるため、高精度な容量値測定が実現できる効果を奏する。

【0061】

同様にして、PMOSトランジスタMP1、MP2及びNMOSトランジスタMN1、MN2をSOI基板上のSOI層にSTI領域によって完全分離すれば、これらのMOSトランジスタより発生する接合リークは無くなるため、高精度な容量値測定が実現できる効果を奏する。

【0062】

特に、互いに導電型式が異なるPMOSトランジスタとNMOSトランジスタとをSOI層にSTI領域によって完全分離することにより、接合リーク抑制効果は大きい。

【0063】

＜実施の形態4＞

図9は実施の形態4のCBCM用回路の第1の回路の構成を示す回路図である。同図に示すように、ノードN1、N2間にコンタクトーゲート間容量測定用の測定容量形成部91Aが形成される。他の構成は図1で示した実施の形態1の構成と同様であるため説明は省略する。

【0064】

図 1 0 は実施の形態 4 の測定容量形成部 9 1 A の内部構成を示す平面図である。図 1 1 は図 1 0 の X 1 - X 1 ' 断面構造を示す断面図である。

【 0 0 6 5 】

これらの図に示すように、測定容量形成部 9 1 A において、P ウェル領域 2 1 の表面内に選択的に N^+ 拡散領域 2 2, 2 3 及び P^+ 拡散領域 2 4 を形成し、 N^+ 拡散領域 2 2, 2 3 間の P ウェル領域 2 1 の上方にゲート電極として機能するノード N 2 が設けられる。これら N^+ 拡散領域 2 2, 2 3 及びノード N 2 により測定用 NMOS トランジスタ Q 1 が形成される。また、配線として機能するノード N 1 はノード N 2 より高い位置に形成される配線層として設けられる。

【 0 0 6 6 】

コンタクトホール 6 6 を介して N^+ 拡散領域 2 2 に電氣的に接続され、実際の MOS トランジスタはコンタクトホール 6 6 がゲート電極に可能な限り隣接して形成されるため、ノード N 1, コンタクトホール 6 6 間距離は最小寸法である距離 d 1 に設定される。

【 0 0 6 7 】

ここで、実際に測定したいのは、ノード N 1 用のコンタクトホール 6 6 とノード N 2 との間に形成されるカップリング容量 C_c である。しかしながら、ノード N 1 はゲート電極であるノード N 2 に近接して形成されるため、ノード N 1 とノード N 2 との間にもカップリング容量 C_{cx} が形成されてしまう。なお、ノード N 1 と P ウェル領域 2 1 との間には配線容量 C_v も形成される。

【 0 0 6 8 】

図 1 2 は実施の形態 4 の C B C M 用回路の第 2 の回路における測定容量形成部 9 1 B の構造を示す平面図である。図 1 3 は図 1 2 の X 2 - X 2 ' 断面構造を示す断面図である。なお、回路構成自体は、測定容量形成部 9 1 A が測定容量形成部 9 1 B に置き換わった点を除き、第 1 の回路と同様である。

【 0 0 6 9 】

測定容量形成部 9 1 B において、 N^+ 拡散領域 2 2, 2 3 及びノード N 2 によって規定される測定用 NMOS トランジスタ Q 2 は、通常の MOS トランジスタと異なり、ノード N 2, コンタクトホール 6 6 間距離が、ノード N 1 のコンタク

トホール66とノードN2との間のカップリング容量 C_{cy} が無視できる程度の長い距離 d_2 (d_1 の10倍程度)に設定される。なお、他の構成は図10及び図11で示した構造と同様である。

【0070】

以下、実施の形態4のCBCM用回路における第1及び第2の回路を用いたカップリング容量 C_c 、配線容量 C_v の測定方法を説明する。

【0071】

第1及び第2の回路でそれぞれ電流 $I_m[A]$ 及び電流 $I_m[B]$ を測定し、以下の(8)式及び(9)式を導出する。なお、(9)式において、カップリング容量 C_{cy} は無視できる値とする。

【0072】

【数8】

$$I_m[A] = (C_{cx} + C_c) \times V_{dd} \times f \quad \dots(8)$$

【0073】

【数9】

$$\begin{aligned} I_m[B] &= (C_{cx} + C_{cy}) \times V_{dd} \times f \\ &= C_{cx} \times V_{dd} \times f \quad \dots(9) \end{aligned}$$

【0074】

その結果、カップリング容量 C_{cx} 及びカップリング容量 C_c が以下の(10)式及び(11)式によって導かれる。

【0075】

【数10】

$$C_{cx} = I_m[B] / (V_{dd} \times f) \quad \dots(10)$$

【0076】

【数11】

$$C_c = (I_m[A] - I_m[B]) / (V_{dd} \times f) \quad \dots(11)$$

【0077】

そして、第 1 及び第 2 の回路でそれぞれ電流 $I_t[A]$ 及び電流 $I_t[B]$ を測定し、以下の(12)式及び(13)式を導出する。なお、(13)式において、カップリング容量 C_{cy} は無視できる値とする。その結果、(10)式～(13)式によって配線容量 C_v を導出することができる。

【 0 0 7 8 】

【数 1 2】

$$\begin{aligned} I_t[A] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_v + C_c + C_{cx}) \times V_{dd} \times f \quad \dots(12) \end{aligned}$$

【 0 0 7 9 】

【数 1 3】

$$\begin{aligned} I_m[B] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_v + C_c + C_{cx}) \times V_{dd} \times f \\ &= (C_v + C_{cx}) \times V_{dd} \times f \quad \dots(13) \end{aligned}$$

【 0 0 8 0 】

このように、実施の形態 4 は、測定容量形成部 9 1 A 及び 9 1 B で異なるレイアウト構造を有する第 1 及び第 2 の回路を C B C M 用回路として採用することにより、成分分離したコンタクトーゲート間容量の測定が可能となる。

【 0 0 8 1 】

<実施の形態 5>

図 1 4 は実施の形態 5 の C B C M 用回路の第 1 の回路の回路構成を示す回路図である。同図に示すように、ノード N_1 、 N_2 間にコンタクトーコンタクト間容量測定用の測定容量形成部 9 2 A が形成される。また、N M O S トランジスタ M_N 4 は測定容量形成部 9 2 A 内に形成されるため、図示していない。他の構成は図 1 で示した実施の形態 1 の回路構成と同様である。

【 0 0 8 2 】

図 1 5 は実施の形態 5 の測定容量形成部 9 2 A の構造を示す平面図である。図 1 6 は図 1 5 の $Y_1 - Y_1'$ 断面構造を示す断面図である。

【 0 0 8 3 】

これらの図に示すように、P ウェル領域 2 1 の表面内に選択的に N^+ 拡散領域

25, 26及び27を形成し、 N^+ 拡散領域25, 26間のPウェル領域21の上方にゲート電極39を設ける。したがって、 N^+ 拡散領域25, 26及びゲート電極39によって測定用NMOSトランジスタQ3が形成される。

【0084】

配線層として機能するノードN1及びN2はゲート電極39より高く、互いに同程度の高さに形成され、コンタクトホール66a及び66b（第1及び第2のコンタクトホール）を介してそれぞれ N^+ 拡散領域25及び26に電氣的に接続される。

【0085】

また、 N^+ 拡散領域26, 27間のPウェル領域21の上方にはゲート電極38が形成され、 N^+ 拡散領域26, 27及びゲート電極38によってNMOSトランジスタMN4が構成される。ゲート電極38にはNMOSゲート電位GNが印加され、 N^+ 拡散領域27及びゲート電極39に電位GNDが与えられる。

【0086】

ここで、実際に測定したいのは、ノードN1及びN2それぞれのコンタクトホール66a, 66b間に形成されるカップリング容量Cccである。この際、 N^+ 拡散領域25, 26間のPウェル領域21には接合容量Cddが形成される。

【0087】

図17は実施の形態5のCBCM用回路の第2の回路における測定容量形成部92の構造を示す平面図である。図18は図17のY2-Y2'断面構造を示す断面図である。なお、回路構成自体は、測定容量形成部92Aが測定容量形成部92Bに置き換わった点を除き、第1の回路と同様である。

【0088】

図17に示すように、測定用NMOSトランジスタQ3と等価な測定用NMOSトランジスタQ4において、ノードN1側のコンタクトホール66aの形成位置と、ノードN2側のコンタクトホール66bの形成位置とを、互いに1本のコンタクトホール66a, 66bも対向しないように配置することにより、コンタクト-コンタクト間容量がゼロにしている。なお、他の構成は測定容量形成部92Aと同様であるため、説明を省略する。

【 0 0 8 9 】

以下、実施の形態 5 の C B C M 用回路における第 1 及び第 2 の回路を用いたカップリング容量 C_{cc} の測定方法を説明する。

【 0 0 9 0 】

第 1 及び第 2 の回路でそれぞれ電流 $I_m[A]$ 及び電流 $I_m[B]$ を測定し、以下の(14)式及び(15)式を導出する。なお、容量 C_{xx} はノード N 2 に付随するその他の容量 (図 1 5 ~ 図 1 7 では図示せず) を示している。

【 0 0 9 1 】

【数 1 4】

$$I_m[A] = (C_{cc} + C_{dd} + C_{xx}) \times V_{dd} \times f \quad \dots(14)$$

【 0 0 9 2 】

【数 1 5】

$$I_m[B] = (C_{dd} + C_{xx}) \times V_{dd} \times f \quad \dots(15)$$

【 0 0 9 3 】

その結果、カップリング容量 C_{cc} が以下の(16)式によって導かれる。

【 0 0 9 4 】

【数 1 6】

$$C_{cc} = (I_m[A] - I_m[B]) / (V_{dd} \times f) \quad \dots(16)$$

【 0 0 9 5 】

そして、第 1 及び第 2 の回路でそれぞれ電流 $I_t[A]$ 及び電流 $I_t[B]$ を測定し、以下の(17)式及び(18)式を導出する。容量 C_{yy} はノード N 2 に付随するその他の容量 (図 1 5 ~ 図 1 7 では図示せず) を示している。

【 0 0 9 6 】

【数 1 7】

$$\begin{aligned} I_t[A] &= C_{tst}[A] \times V_{dd} \times f \\ &= (C_{yy} + C_{cc} + C_{dd}) \times V_{dd} \times f \quad \dots(17) \end{aligned}$$

【 0 0 9 7 】

【数 1 8】

$$I_m[B] = C_{tst}[B] \times V_{dd} \times f \\ = (C_{yy} + C_{dd}) \times V_{dd} \times f \quad \dots(18)$$

【 0 0 9 8 】

その結果、(16)式～(18)式によってカップリング容量 C_{cc} を以下の(19)式のよ
うに導出することができる。

【 0 0 9 9 】

【数 1 9】

$$C_{cc} = (I_t[A] - I_t[B]) / (V_{dd} \times f) \quad \dots(19)$$

【 0 1 0 0 】

このように、実施の形態 5 は、測定容量形成部 9 2 A 及び 9 2 B で異なるレイ
アウト構造を有する第 1 及び第 2 の回路を C B C M 用回路として採用することに
より、成分分離したコンタクトーコンタクト間容量の測定が可能となる。

【 0 1 0 1 】

(他の態様)

図 1 9 は実施の形態 5 の測定容量形成部 9 2 B の他の態様を示す平面図である
。図 1 8 は図 1 9 の Y 3 - Y 3' 断面構造に相当する。

【 0 1 0 2 】

図 1 9 に示すように、ノード N 1 側にのみコンタクトホール 6 6 a を形成し、
ノード N 2 側にはコンタクトホール 6 6 b を全く形成しないことにより、コンタ
クトーコンタクト間容量がゼロとなる。なお、他の構成は、図 1 8, 図 1 7 で示
した構造と同様であるため、説明を省略する。

【 0 1 0 3 】

図 1 9 で示した構造を第 2 の構造として、上述した(14)式～(19)式を適用した
カップリング容量 C_{cc} の測定方法を適用して同様な効果を得ることができる。

【 0 1 0 4 】

<実施の形態 6>

図 2 0 はこの発明の実施の形態 6 である C B C M 用回路の構成を示す回路図である。PMOS トランジスタ MP 2 及び NMOS トランジスタ MN 2 が直列に接続される。そして、PMOS トランジスタ MP 2 のソースに電源電圧 Vdd が付与され、NMOS トランジスタ MN 2 のソースが接地される。また、PMOS トランジスタ MP 2 のゲートにはパッド 5 3 が、NMOS トランジスタ MN 2 のゲートにはパッド 5 6 が接続される。

【 0 1 0 5 】

さらに、PMOS トランジスタ MP 2、NMOS トランジスタ MN 2 のドレイン間の端子 P 1 はノード N 1（配線層として機能）に接続される。ノード N 1 及びノード N 2 1 ~ N 2 5（配線層として機能）は測定容量形成部 2 内に予め設定された配置でそれぞれ設けられる。そして、ノード N 1 とノード N 2 1 ~ N 2 5 それぞれとの間にカップリング容量 C c 1 ~ C c 5 が形成される。ノード N 2 1 ~ N 2 5 は端子 P 2 1 ~ P 2 5 に接続される。したがって、端子 P 1 ~ 端子 P 2 1 ~ P 2 5 間に測定容量形成部 2 が形成されることになる。

【 0 1 0 6 】

端子 P 2 1 ~ P 2 5 はそれぞれ NMOS トランジスタ MN 3 1 ~ MN 3 5 を介して端子 P 3 1 ~ P 3 5 に接続される共に、NMOS トランジスタ MN 4 1 ~ MN 4 5 を介して端子 P 4 1 ~ 4 5 に接続される。

【 0 1 0 7 】

NMOS トランジスタ MN 3 1 ~ MN 3 5 のゲートにはイネーブル電圧 EN 1 ~ EN 5 が付与され、NMOS トランジスタ MN 4 1 ~ MN 4 5 のゲートにはパッド 5 6 が接続される。

【 0 1 0 8 】

端子 P 3 1 ~ P 3 5 は共通の出力線 OL 1 に接続され、出力線 OL 1 はパッド 7 0 に接続される。パッド 7 0 ~ 接地レベル間に電流計 7 1 が介挿され、パッド 7 0 から接地レベルにかけて流れる電流を測定することができる。端子 P 4 1 ~ 4 5 はソースは共通に出力線 OL 2 に接続され、出力線 OL 2 は接地される。

【 0 1 0 9 】

また、デコーダ 1 は 3 ビットの選択信号 ST 及び 1 ビットのイネーブル電圧 E

Nを受け、イネーブル電圧ENを選択信号STに基づき選択されたイネーブル電圧EN1～EN5のうちのいずれかとして出力する。すなわち、デコーダ1は、選択信号STに基づき、入力されるイネーブル電圧ENをイネーブル電圧EN1～EN5のいずれかとして出力することにより端子P21～P25のいずれかを選択し、選択した端子より誘起される電流を出力線OL1に伝達する選択部として機能する。

【0110】

図21は測定容量形成部2の一例を示す断面図である。同図に示すように、上部配線層としてノードN21及びノードN22を形成し、中間配線層としてノードN1及びノードN23を形成し、下部配線層としてノードN25及びノードN24を形成している。なお、これらのノードN1、ノードN21～N25は互いに絶縁層67によって絶縁分離されている。

【0111】

したがって、ノードN1の上方にノードN21、下方にノードN25、横方向にノードN23、斜め上方向にノードN22、斜めした方向にノードN24が配置されることになる。

【0112】

図22は実施の形態6のCBCM用回路の動作を示すタイミング図である。同図に示すように、PMOSゲート電位GP及びNMOSゲート電位GNがPMOSトランジスタMP2及びNMOSトランジスタMN2のオン期間が重複することなく交互にオンするように与えられ、PMOSトランジスタMP2がオン状態になる（PMOSゲート電位GPが“L”に立ち下がる）前に、イネーブル電圧EN1～EN5のうちの選択イネーブル電圧ENi（i=1～5のいずれか）が“H”に立ち上げられる。

【0113】

したがって、PMOSゲート電位GPが“L”の期間に、電流計62によって検出される電流Itが検出され、電流計71によってNMOSトランジスタMN3i及びパッド70を介して得られる電流Imを検出することができる。

【0114】

なお、非選択のイネーブル電圧 EN_j ($j = 1 \sim 5$ (i を除く)) は “L” に固定されており、NMOS トランジスタ MN_{4j} は常時オフ状態となる。

【0115】

その結果、実施の形態6のCBCM用回路を用いて得られる電流 I_m 及び電流 I_t に基づき、ノード N_1 とノード N_{2i} との間のカップリング容量 C_{ci} 等を算出することができる。

【0116】

図23は実施の形態6のCBCM用回路を用いた配線特性の解析方法を示すフローチャートである。

【0117】

同図を参照して、ステップS1でノード N_1 、ノード $N_{21} \sim N_{25}$ の配線形状（異なる配線間における配線間距離を含む）、ノード N_1 、ノード N_{21} 間等の上下の配線層間の絶縁層67の膜厚及び絶縁層67の（比）誘電率を含む配線特性を設定する。なお、図21では、絶縁層67を一括りにして示しているが、通常は配線層間で異なる絶縁層が設けられる多層構造となっており、絶縁層67の形成高さによって誘電率も異なる。

【0118】

ステップS2で、ステップS1で設定した配線特性の内容で所定のシミュレーションを実行することにより、ノード N_1 とノード $N_{21} \sim N_{25}$ との間のカップリング容量 $C_{c1} \sim C_{c5}$ を非実測で求める。

【0119】

一方、ステップS3では、図21で示した多層配線構造を測定容量形成部2とした実施の形態6のCBCM用回路を用いて、前述したようにカップリング容量 $C_{c1} \sim C_{c5}$ を実測で求める。

【0120】

そして、ステップS4において、ステップS2で得たカップリング容量 $C_{c1} \sim C_{c5}$ のシミュレーション値と、ステップS3で得たカップリング容量 $C_{c1} \sim C_{c5}$ の実測値とを比較する。

【0121】

ステップ S 4 の比較結果が、一致していれば、ステップ S 1 の設定値が正しいと判断し処理を終了し、不一致であればステップ S 5 に移行する。

【0122】

ステップ S 5 において、上下の配線層間の絶縁層 6 7 の膜厚及び誘電率等の配線特性を変更し、ステップ S 1 で再設定する。

【0123】

以降、ステップ S 4 で一致が検出されるまで、ステップ S 1, S 2, S 4, S 5 を繰り返す。なお、ステップ S 3 は一回の実測で良い。

【0124】

したがって、ステップ S 4 で一致が検出されると、絶縁層 6 7 の膜厚及び誘電率の推定値を正確に得ることができる。その結果、精度の高い配線特性の解析を行うことができる。

【0125】

このように、実施の形態 6 の CBCM 用回路では、出力線 O L 1 により NMOS トランジスタ MN 3 1 ~ MN 3 5 のソースを共通に接続することにより、NMOS トランジスタ MN 3 1 ~ MN 3 5 を介して流れる電流 I_m の測定用のパッドはパッド 7 0 一つで済ますことができたため、パッド数を削減することができる。

【0126】

また、デコーダ 1 は、3 ビット選択信号 S T 及び 1 ビットのイネーブル電圧 E N に基づき、5 ビットのイネーブル電圧 E N 1 ~ E N 5 を出力するため、5 ビットのイネーブル電圧 E N 1 ~ E N 5 を直接入力する場合に比べて、1 ビット分入力分を削減することができ、入力ビット用のパッド数を 1 つ削減することができる。

【0127】

また、実際に入力するイネーブル電圧 E N は 1 種類で済ますことができるため、イネーブル電圧 E N 1 ~ E N 5 を直接入力する場合に比べて、イネーブル電圧用の信号数を 4 つ削減することができる。

【0128】

なお、ステップ S 2 で、シミュレーションを実行する代わりに応答曲面関数（

”Response Surface Function”) を用いても良い。応答曲面関数とは、絶縁膜の膜厚、誘電率、配線間の距離等の配線特性を実験計画表にしたがって変化させたときの配線容量値を専用のシミュレーションで予め計算しておき、上記配線特性を引数としてシミュレーション結果を出力する関数を意味する。

【 0 1 2 9 】

<実施の形態 7>

図 2 4 はこの発明の実施の形態 7 であるデコーダの他の構成を示す回路図である。同図に示すように、デコーダ 5 は、4 列直列に接続された D - F F (D 型フリップフロップ) 7 2 ~ 7 5 及び AND ゲート 8 1 ~ 8 5 から構成される。

【 0 1 3 0 】

D - F F 7 2 ~ 7 5 はクロック入力部 C L K に共通にクロック信号 C l k を受け、D - F F 7 2 は 1 ビットの選択信号 S e l を入力部 D に受ける。選択信号 S e l は AND ゲート 8 1 の一方入力となり、D - F F 7 2 ~ 7 5 の出力部 O より得られる信号が AND ゲート 8 2 ~ 8 5 の一方入力となる。そして、AND ゲート 8 1 ~ 8 5 の共通の他方入力としてイネーブル電圧 E N が与えられる。

【 0 1 3 1 】

これら AND ゲート 8 1 ~ 8 5 の出力信号がイネーブル電圧 E N 1 ~ E N 5 となる。

【 0 1 3 2 】

このような構成において、選択信号 S e l 及びクロック信号 C l k によって、D - F F 7 2 ~ 7 5 のいずれかに “H” をラッチさせた後に選択信号 S e l を “L” にするか、D - F F 7 2 ~ 7 5 に全て “L” をラッチさせた後に選択信号 S e l を “H” するかの信号処理を行う。

【 0 1 3 3 】

すると、イネーブル電圧 E N が、イネーブル電圧 E N 1 ~ E N 5 のいずれかとして出力されることにより、図 2 0 で示したデコーダ 1 と等価な機能を発揮することができる。

【 0 1 3 4 】

実施の形態 7 のデコーダ 5 は、入力信号のビット数が 3 ビットで済みますことが

できるため、実施の形態 6 のデコーダ 1 よりも入力用パッド数を 1 つ削減することができる。

【 0 1 3 5 】

< 実施の形態 8 >

図 2 5 はこの発明の実施の形態 8 の回路構成を模式的に示す説明図である。同図に示すように、PMOS トランジスタ MP 2 及び NMOS トランジスタ MN 2 が直列に接続される。そして、PMOS トランジスタ MP 2 のソースに電源電圧 Vdd が付与され、NMOS トランジスタ MN 2 のソースが接地される。また、PMOS トランジスタ MP 2 のゲートには PMOS ゲート電位 GP、NMOS トランジスタ MN 2 のゲートには NMOS ゲート電位 GN が与えられる。

【 0 1 3 6 】

PMOS トランジスタ MP 2、NMOS トランジスタ MN 2 間の端子 P 1 は測定容量形成部 3 の測定対象ノード NA（容量の一方電極として機能）に接続される。測定容量形成部 3 の測定対象ノード NB（容量の他方電極として機能）は端子 P 2 及びトランスファゲート 4 6 を介して測定対象ノード NA に接続されるとともに、端子 P 2 及びトランスファゲート 4 7 を介して接地レベルに接続される。このように、端子 P 1、P 2 間に測定容量形成部 3 が設けられる。

【 0 1 3 7 】

また、端子 P 1 への供給電流を測定すべく PMOS トランジスタ MP 2 と電源 Vdd との間に電流計 6 2 を設けている。

【 0 1 3 8 】

トランスファゲート 4 6 の NMOS ゲート及びトランスファゲート 4 7 の PMOS ゲートには選択信号 SEL が付与され、トランスファゲート 4 6 の PMOS ゲート及びトランスファゲート 4 7 の NMOS ゲートには選択信号 SEL がインバータ 4 8 を介して得られる信号が付与される。これらトランスファゲート 4 6、4 7 及びインバータ 4 8 は、選択信号 SEL 信号に基づき端子 P 2（ノード N 2）の状態を切り換える端子切り換え部として機能する。

【 0 1 3 9 】

測定容量形成部 3 は測定対象ノード NA、NB に加え、ダミーノード DL 及び

ダミーノードDR（ダミーの電極として機能）をさらに有し、ダミーノードDL及びDRはそれぞれ接地される。

【0140】

測定容量形成部3（図25では平面構造を示している。）内の測定対象ノードNA，測定対象ノードNBは共に櫛形構造を呈しており、双方のn本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。そして、測定対象ノードNAの櫛の柄の部分に測定対象ノードNA及びNBと同様な櫛形構造のダミーノードDLが設けられ、ダミーノードDLは右端の櫛の歯は、測定対象ノードNAの左端の櫛の歯から上記所定間隔隔てて配置され、ダミーノードDRの左端の櫛の歯は測定対象ノードNBの右端の櫛の歯から上記所定間隔隔てて配置される。

【0141】

図26及び図27はそれぞれ図25のB1-B1'断面の断面構造を示す断面図である。図26は選択信号SELが“0”（“L”）で測定対象ノードNBがオン状態のトランスファゲート47を介して接地される場合を示しており、図27は選択信号SELが“1”（“H”）で測定対象ノードNA，NB間が短絡される場合を示している。

【0142】

図26に示すように、選択信号SEL＝“0”の場合（第1の状態）、測定対象ノードNA及びNBそれぞれ櫛の歯間に $(2n-1)$ 個（図26の例では $n=5$ ）のカップリング容量Ccが形成され、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯と間に1個のカップリング容量Ccが形成されることにより、総計、 $2n$ 個のカップリング容量Ccが形成される。

【0143】

そして、測定対象ノードNAと下層の下層配線層16との間にn個の配線容量Cvが形成される。また、後述する微小容量 α も形成される。したがって、総容量Ctotalとして次の(20)式を得ることができる。

【0144】

【数 20】

$$C_{total} = 2n \times C_c + n \times C_v + \alpha \quad \cdots (20)$$

【0145】

図 27 に示すように、選択信号 $SEL = "1"$ の場合（第 2 の状態）、測定対象ノード NA 、測定対象ノード NB が短絡されるため、ダミーノード DL の右端の櫛の歯と測定対象ノード NA の左端の櫛の歯間に 1 個のカップリング容量 C_c が形成され、ダミーノード DR の左端の櫛の歯と測定対象ノード NB の右端の櫛の歯間に 1 個のカップリング容量 C_c が形成されるだけであり、総計 2 個のカップリング容量 C_c が形成される。

【0146】

そして、測定対象ノード NA 及び NB と下層の下層配線層 16 との間に $2n$ 個の配線容量 C_v が形成される。また、微小容量 β も形成される。したがって、総容量 C_{total} として次の (21) 式を得ることができる。なお、微小容量 α 、 β はトランスファゲート 46、47 及びインバータ 48 を構成する各トランジスタのゲート、ゲート間の結線、及び櫛の歯以外の部分に寄生する容量等を意味する。

【0147】

【数 21】

$$C_{total} = 2 \times C_c + 2n \times C_v + \beta \quad \cdots (21)$$

【0148】

その結果、電流計 62 によって PMOS トランジスタ $MP2$ のドレインから供給される端子 $P1$ への供給電流を測定し、上述した (20)、(21) 式を解法することにより、カップリング容量 C_c 及び配線容量 C_v を個別に求めることができる。

【0149】

この際、ダミーノード DL 、ダミーノード DR を設けることにより、選択信号 $SEL = "1"$ の場合でも、カップリング容量 C_c が形成されるようにすることにより、カップリング容量 C_c と配線容量 C_v との分離精度の向上を図ることができる。さらに、ダミーノード DL 、 DR の形成によって、測定対象ノード NA 、

N B との櫛の歯の部分とのパターン粗密差がなくなるため、測定対象ノード N A 及び N B の櫛の歯部分を精度良く形成することができる。

【 0 1 5 0 】

図 2 8 は実施の形態 8 の C B C M 用回路を用いた配線特性の解析方法を示すフローチャートである。

【 0 1 5 1 】

同図を参照して、ステップ S 1 1 で測定対象ノード N A , N B の配線形状 (N A , N B 間で隣接する櫛の歯部の間の距離を含む) 、測定対象ノード N A (N B) 、下層配線層 1 6 との間の絶縁層の膜厚及び絶縁層の誘電率を含む配線特性を設定する。

【 0 1 5 2 】

ステップ S 1 2 において、ステップ S 1 1 で設定した配線特性の内容で所定のシミュレーションを実行してカップリング容量 C c 及び配線容量 C v を非実測で求める。

【 0 1 5 3 】

一方、ステップ S 1 3 では、測定容量形成部 3 を有する実施の形態 7 の C B C M 用回路を用いて、前述したようにカップリング容量 C c 及び配線容量 C v を実測で求める。

【 0 1 5 4 】

そして、ステップ S 1 4 において、ステップ S 1 2 で得たカップリング容量 C c 及び配線容量 C v のシミュレーション値と、ステップ S 1 3 で得たカップリング容量 C c 及び配線容量 C v の実測値とを比較する。

【 0 1 5 5 】

ステップ S 1 4 の比較結果が、一致していれば、ステップ S 1 1 の設定値が正しいと判断し処理を終了し、不一致であればステップ S 1 5 に移行する。

【 0 1 5 6 】

ステップ S 1 5 において、上述した絶縁層の膜厚及び誘電率を含む配線特性を変更し、ステップ S 1 1 で再設定する。

【 0 1 5 7 】

以降、ステップ S 1 4 で一致が検出されるまで、ステップ S 1 1, S 1 2, S 1 4, S 5 1 を繰り返す。なお、ステップ S 1 3 は一回の実測で良い。

【 0 1 5 8 】

したがって、ステップ S 1 4 で一致が検出されると、絶縁層の膜厚及び誘電率を含む配線特性の推定値を正確に得ることができる。その結果、精度の良い配線特性の解析が行える。

【 0 1 5 9 】

なお、実施の形態 6 と同様、ステップ S 1 2 で、シミュレーションを実行する代わりに応答曲面関数を用いても良い。

【 0 1 6 0 】

< 実施の形態 9 >

図 2 9 はこの発明の実施の形態 9 の C B C M 用回路における C B C M 用補助回路の回路構成を模式的に示す説明図である。実施の形態 9 の C B C M 用回路は図 2 9 で示す C B C M 用補助回路と図 2 5 ~ 図 2 7 で示した実施の形態 8 の C B C M 用回路とから構成される。

【 0 1 6 1 】

同図に示すように、実施の形態 9 の C B C M 用補助回路は、実施の形態 8 の C B C M 用回路と比べた場合、測定容量形成部 3 が補助測定容量形成部 4 に置き換わった点異なる。

【 0 1 6 2 】

補助測定容量形成部 4 (図 2 9 では平面構造を示している。)内の容量の一方電極、他方電極として機能する測定対象ノード N A, 測定対象ノード N B は共に櫛形構造を呈しており、双方の n 本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。ただし、補助測定容量形成部 4 の測定対象ノード N A, N V の櫛の歯の長さ (カップリング容量に関与しないフリンジ部 5 0 (櫛の歯の付け根近傍領域)を除く)は、実施の形態 8 の測定容量形成部 3 の櫛の歯の長さ L の m 倍の ($m \times L$) に設定されている。他の構成は、図 2 5 で示した実施の形態 8 と同様である。

【 0 1 6 3 】

図30及び図31はそれぞれ図29のB2-B2断面の断面構造を示す断面図である。図30は選択信号SELが“0”の場合、図31は選択信号SELが“1”の場合を示している。

【0164】

図30に示すように、選択信号SEL=“0”の場合、実施の形態8と同様、総計、 $2n$ （図30では $n=5$ ）個のカップリング容量 C_{cm} が形成される。ただし、カップリング容量 $C_{cm}=m \times C_c$ となる。

【0165】

そして、測定対象ノードNAと下層の下層配線層16との間に n 個の配線容量 C_{vm} が形成される。ただし、配線容量 $C_{vm}=m \times C_v$ となる。また、微小容量 α も形成される。したがって、参照容量 C_{ref} として次の(22)式を得ることができる。

【0166】

【数22】

$$C_{ref}=m \times (2n \times C_c + n \times C_v) + \alpha \quad \cdots (22)$$

【0167】

図31に示すように、選択信号SEL=“1”の場合、実施の形態8と同様に、総計2個のカップリング容量 C_{cm} が形成される。

【0168】

そして、測定対象ノードNA及びNBと下層の下層配線層16との間に、実施の形態8と同様にして $2n$ 個の配線容量 C_{vm} が形成される。また、微小容量 β も形成される。したがって、参照容量 C_{ref} として次の(23)式を得ることができる。

【0169】

【数23】

$$C_{ref}=m \times (2C_c + 2n \times C_v) + \beta \quad \cdots (23)$$

【0170】

したがって、実施の形態 8 の C B C M 用回路及び実施の形態 9 の補助 C B C M 用回路それぞれの選択信号 $SEL = "0"$, $"1"$ の総計 4 つのケースにおいて、PMOS トランジスタ MP 2 のドレインから供給電流の電流値を電流計 6 2 で測定し、上述した (20) ~ (23) 式を解法することにより、微小容量 α , β を除去した、実施の形態 8 より正確なカップリング容量 C_c 及び配線容量 C_v を個別に求めることができる。

【 0 1 7 1 】

< 実施の形態 1 0 >

図 3 2 はこの発明の実施の形態 1 0 の C B C M 用回路の T E S T 回路（第 1 の回路）の回路構成を模式的に示す説明図である。

【 0 1 7 2 】

同図に示すように、実施の形態 1 0 の T E S T 回路は、実施の形態 8 の C B C M 用回路と比べた場合、測定容量形成部 3 が測定容量形成部 6 に置き換わった点異なる。

【 0 1 7 3 】

測定容量形成部 6（図 3 2 では平面構造を示している。）内において、容量の一方電極、他方電極として機能する測定対象ノード N A , 測定対象ノード N B は共に櫛形構造を呈している。そして、双方の 5 本の櫛の歯部分が交互に所定間隔を隔てて対向するように配置される。また、測定対象ノード N A 及び N B それぞれの櫛の柄の部分に測定対象ノード N A 及び N B と同様な櫛形構造のダミーノード D L 及び D R（ダミー電極として機能）が設けられ、ダミーノード D L は右端の櫛の歯は、測定対象ノード N A の左端の櫛の歯から上記所定間隔隔てて配置され、ダミーノード D R の左端の櫛の歯は測定対象ノード N B の右端の櫛の歯から上記所定間隔隔てて配置される。なお、他の構成は図 2 5 で示した実施の形態 8 の測定容量形成部 3 と同様である。

【 0 1 7 4 】

図 3 3 及び図 3 4 はそれぞれ図 3 2 の C - C 断面の断面構造を示す断面図である。図 3 3 は選択信号 SEL が $"0"$ の場合（第 1 の状態）、図 3 4 は選択信号 SEL が $"1"$ の場合（第 2 の状態）を示している。

【0175】

これらの図に示すように、測定対象ノードNA及びNBの下層配線層としてシリコン基板10が設けられ、測定対象ノードNA及びNBの下方に位置するシリコン基板10の表面内に活性領域として拡散領域13を形成し、それ以外のシリコン基板10の表面内にはSTI領域12が形成され、拡散領域13、13間がSTI領域12によって絶縁分離される。なお、各拡散領域13の形成幅、拡散領域13、13間のSTI領域12の距離は同一に設定される。さらに、各拡散領域13の形成面積と周囲長は同一に設定される。また、拡散領域13としては例えば、n型の拡散領域等が考えられる。

【0176】

また、測定対象ノードNA及びNBの櫛の歯部分とその直下にある拡散領域13間にコンタクトホール（コンタクトプラグ）66が形成され、ダミーノードDL及びDRとその直下にあるSTI領域12間にコンタクトホール66が形成される。なお、図32に示すように、コンタクトホール66は、測定対象ノードNA、NB及びダミーノードDL、DRの各櫛の歯部分にそれぞれ2本ずつ形成される。

【0177】

また、ダミーノードDL、DRも測定対象ノードNA、NBと同様な櫛形構造にすることにより、測定対象ノードNA、NBとの櫛の歯の部分とのパターン粗密差がなくし、測定対象ノードNA及びNBの櫛の歯部分を精度良く形成することができるため、加工精度の向上を図ることができる。

【0178】

図35はこの発明の実施の形態10のREF回路（第2の回路）の回路構成を模式的に示す説明図である。このREF回路は図32～図34で示したTEST回路に追加される形で設けられる。すなわち、実施の形態10のCBCM用回路はTEST回路及びREF回路から構成される。

【0179】

同図に示すように、このREF回路は、図32～図34で示したTEST回路と比べた場合、測定容量形成部6が測定容量形成部7に置き換わった点異なる

【0180】

図36及び図37はそれぞれ図35のD-D断面の断面構造を示す断面図である。図36は選択信号SELが“0”の場合、図37は選択信号SELが“1”の場合を示している。

【0181】

これらの図に示すように、測定対象ノードNA及びNBの下層配線層としてシリコン基板10が設けられ、シリコン基板10の表面内は拡散領域13が形成されることなく全表面内にSTI領域12が形成される。測定容量形成部7の他の構造は測定容量形成部6と同様である。

【0182】

以下、実施の形態10のCBCM用回路(TEST回路及びREF回路)を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

【0183】

図33に示すように、選択信号SEL=“0”の場合、測定対象ノードNA及びNBにおける隣接する櫛の歯間及びこれらコンタクトホール66, 66間に9個のカップリング容量Ccが形成され、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯と間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成されることにより、総計、10個のカップリング容量Ccが形成される。

【0184】

そして、測定対象ノードNAと下方の拡散領域13(第1の活性領域)に5個の接合容量Cjが形成され、接合容量Cjとは拡散領域13とシリコン基板10との間に形成されるPN接合の容量を意味する。10個の拡散領域13, 13間のSTI領域12に総計、9個のカップリング容量Cstiが形成される。したがって、測定対象ノードNAから書き込まれた電荷により測定される第1テスト容量CT1は、次の(24)式で得ることができる。なお、微小容量 α はトランスファゲート46, 47及びインバータ48を構成する各トランジスタのゲート、ゲート間の結線、及び測定対象ノードNAの引き回し(櫛の歯以外の部分)等により

生じる寄生容量である。

【0185】

【数24】

$$CT1 = 10C_c + 9C_{sti} + 5C_j + \alpha \cdots (24)$$

【0186】

図34に示すように、選択信号SEL = “1”の場合、測定対象ノードNA、測定対象ノードNBが短絡されるため、ダミーノードDLの右端の櫛の歯と測定対象ノードNAの左端の櫛の歯間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成され、ダミーノードDRの左端の櫛の歯と測定対象ノードNBの右端の櫛の歯間及びこれらコンタクトホール66, 66間に1個のカップリング容量Ccが形成されるだけであり、総計2個のカップリング容量Ccが形成される。

【0187】

そして、測定対象ノードNAの下方の拡散領域13（第1の活性領域）に5個、測定対象ノードNBの下方の拡散領域13（第2の活性領域）に5個の総計10個の接合容量Cjが形成される。なお、測定対象ノードNA, NB間が短絡され、全ての拡散領域13が同電位に設定されるため拡散領域13, 13間のカップリング容量Cstiは生じない。

【0188】

したがって、測定対象ノードNAから書き込まれた電荷により測定される第2テスト容量CT2は、次の(25)式で得ることができる。なお、微小容量βは微小容量αと同様な性質の寄生容量であるが、測定対象ノードNA, NBとが短絡されるため、微小容量αとは異なる値をとる。

【0189】

【数25】

$$CT2 = 2C_c + 10C_j + \beta \cdots (25)$$

【0190】

次に、REF回路を用いた測定を行う。

【0191】

図36に示すように、選択信号SEL = “0”の場合、TEST回路の場合と同様、総計、10個のカップリング容量Ccが形成される。

【0192】

しかし、REF回路には拡散領域13が形成されないため接合容量Cj及びカップリング容量Cstiは形成されない。したがって、測定対象ノードNAから書き込まれた電荷により測定される第1参照容量CR1は、次の(26)式で得ることができる。

【0193】

【数26】

$$CR1 = 10Cc + \alpha \cdots (26)$$

【0194】

図37に示すように、選択信号SEL = “1”の場合、測定対象ノードNA、測定対象ノードNB間が短絡されるため、TEST回路の場合と同様、総計2個のカップリング容量Ccが形成される。加えて、REF回路には拡散領域13が形成されないため接合容量Cj及びカップリング容量Cstiは形成されない。

【0195】

したがって、測定対象ノードNAから書き込まれた電荷により測定される第2参照容量CR2は、次の(27)式で得ることができる。

【0196】

【数27】

$$CR2 = 2Cc + \beta \cdots (27)$$

【0197】

したがって、実施の形態10のCBCM用回路は、TEST回路及びREF回路それぞれにおいて、選択信号SEL = “0”，“1”の状態で、電流計62によって端子P1への供給電流を計4回測定することにより、上述した(21)～(27)

式を得ることができる。すなわち、T E S T 回路及び R E F 回路並びに選択信号 S E L の状態で分類される 4 つの供給電流を測定することにより、上述した (21) ～(27) 式を得ることができる。

【 0 1 9 8 】

そして、(21) 式から (26) 式を引くと、以下の (28) 式を得ることができる。

【 0 1 9 9 】

【数 2 8】

$$CT1 - CR1 = 9C_{sti} + 5C_j \quad \dots (28)$$

【 0 2 0 0 】

また、(25) 式から (27) 式を引くと、以下の (29) 式を得ることができる。

【 0 2 0 1 】

【数 2 9】

$$CT2 - CR2 = 10C_j \quad \dots (29)$$

【 0 2 0 2 】

(28) 式及び (29) 式からカップリング容量 C_{sti} を以下の (30) 式で求める。

【 0 2 0 3 】

【数 3 0】

$$C_{sti} = \frac{1}{9} (CT1 - CR1) - \frac{1}{18} (CT2 - CR2) \quad \dots (30)$$

【 0 2 0 4 】

このように、従来の C B C M 用回路では測定が困難であった、拡散領域 1 3 , 1 3 間のカップリング容量 C_{sti} を精度よく得ることができる。

【 0 2 0 5 】

なお、本実施の形態では、測定対象ノード N A 及び N B の櫛の歯数を 5 本に、櫛の歯 1 個当たりのコンタクトホール 6 6 の形成数を 2 本に、拡散領域 1 3 の数を 1 0 個にした例を示したが、これらの数は説明の便宜上、仮に設けた数であり、これらの数に特別に意味はない。

【0206】

また、上述した実施の形態10及び以降で述べる実施の形態11～実施の形態16は、いずれも2つの回路（TEST回路及びREF回路）によってCBCM用回路が構成される。また、実施の形態10及び以降で述べる実施の形態11～実施の形態14において、測定対象ノードNA，NBはカップリング容量Ccの一方電極，他方電極として機能し、ダミーノードDL，DRは当該容量の一方電極，他方電極のダミー電極として機能するものとする。

【0207】

＜実施の形態11＞

図38及び図39はこの発明の実施の形態11であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図38及び図39はそれぞれ図32のC-C断面を示しており、図38は選択信号SELが“0”の場合、図39は選択信号SELが“1”の場合を示している。

【0208】

これらの図に示すように、測定対象ノードNA，NBの形成領域下外であるダミーノードDL及びダミーノードDRの下方に位置するシリコン基板10の表面内にも拡散領域13（ダミー活性領域）を形成した。これに伴い、ダミーノードDL及びDR，拡散領域13間にコンタクトホール66が形成されることになる。なお、ダミーノードDL，DR下の拡散領域13を含む全ての拡散領域13の形成幅、拡散領域13，13間のSTI領域12の距離は同一に設定される。さらに、各拡散領域13の形成面積と周囲長は同一に設定される。

【0209】

そして、測定対象ノードNA及びNBの下方の拡散領域13を含み、全ての拡散領域13はSTI領域12によって分離される。他の構成は図33及び図34で示した実施の形態10のTEST回路と同様である。

【0210】

このように、ダミーノードDL，DRの下方のシリコン基板10の表面にも拡散領域13を形成することにより、拡散領域13のパターン粗密差をなくすこと

により、測定対象ノードNA及びNB下に形成される拡散領域13の加工精度の向上を図ることができる。

【0211】

図40及び図41はこの発明の実施の形態11であるCBCM用回路のREF回路の断面構造を示す断面図である。なお、平面構造は図35で示した構造と同様である。したがって、図40及び図41はそれぞれ図35のD-D断面を示しており、図40は選択信号SELが“0”の場合、図41は選択信号SELが“1”の場合を示している。

【0212】

これらの図に示すように、測定対象ノードNA及びNBの下層配線層としてシリコン基板10が設けられ、シリコン基板10の表面内は拡散領域13が形成されることなく全表面内にSTI領域12が形成される。測定容量形成部7の他の構造は測定容量形成部6と同様である。

【0213】

以下、実施の形態11のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。

【0214】

図38に示すように、選択信号SEL＝“0”の場合、実施の形態10のTEST回路と同様、総計、10個のカップリング容量Ccが形成される。

【0215】

そして、測定対象ノードNAと下方の拡散領域13に5個の接合容量Cjが形成され、10個の拡散領域13、13間のSTI領域12及び測定対象ノードNAの下方の左端の拡散領域13とダミーノードDLの下方の右端の拡散領域13との間に総計、10個のカップリング容量Cstiが形成される。したがって、第1テスト容量CT1は、次の(31)式で得ることができる。

【0216】

【数31】

$$CT1 = 10Cc + 10Csti + 5Cj + \alpha \cdots (31)$$

【0217】

図39に示すように、選択信号SEL = “1”の場合、実施の形態10のTEST回路と同様、総計2個のカップリング容量Ccが形成され、測定対象ノードNA及びNBの下方の拡散領域13に10個の接合容量Cjが形成される。したがって、第2テスト容量CT2は、次の(32)式で得ることができる。

【0218】

【数32】

$$CT2 = 2Cc + 10Cj + \beta \cdots (32)$$

【0219】

次に、REF回路を用いた測定を行う。

【0220】

図40に示すように、選択信号SEL = “0”の場合、実施の形態10のREF回路と同様、総計、10個のカップリング容量Ccのみが形成される。したがって、第1参照容量CR1は、次の(33)式で得ることができる。

【0221】

【数33】

$$CR1 = 10Cc + \alpha \cdots (33)$$

【0222】

図41に示すように、選択信号SEL = “1”の場合、実施の形態10のREF回路と同様、総計2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(34)式で得ることができる。

【0223】

【数34】

$$CR2 = 2Cc + \beta \cdots (34)$$

【0224】

そして、実施の形態10と同様にして、(31)～(34)式を解法することにより、

拡散領域 1 3, 1 3 間のカップリング容量 C_{sti} を精度よく得ることができる。

【 0 2 2 5 】

＜実施の形態 1 2＞

図 4 2 及び図 4 3 はこの発明の実施の形態 1 2 である CBCM 用回路の TEST 回路の断面構造を示す断面図である。なお、平面構造は図 3 2 で示した構造と同様である。したがって、図 4 2 及び図 4 3 はそれぞれ図 3 2 の C - C 断面を示しており、図 4 2 は選択信号 SEL が “ 0 ” の場合、図 4 3 は選択信号 SEL が “ 1 ” の場合を示している。

【 0 2 2 6 】

これらの図に示すように、実施の形態 1 1 の TEST 回路に比べ、シリコン基板 1 0 ではなく SOI 基板 1 1 を用いた点が異なっている。SOI 基板 1 1 はシリコン基板 1 7、埋込絶縁層 1 8 及び SOI 層 1 9 の積層構造により形成される。したがって、SOI 層 1 9 の表面内に、実施の形態 1 1 の TEST 回路と同様に、拡散領域 1 3 及び STI 領域 1 4 が形成される。他の構造は図 3 8 及び図 3 9 で示した実施の形態 1 1 の TEST 回路と同様である。

【 0 2 2 7 】

図 4 4 及び図 4 5 はこの発明の実施の形態 1 2 である CBCM 用回路の REF 回路の断面構造を示す断面図である。なお、平面構造は図 3 5 で示した構造と同様である。したがって、図 4 4 及び図 4 5 はそれぞれ図 3 5 の D - D 断面を示しており、図 4 4 は選択信号 SEL が “ 0 ” の場合、図 4 5 は選択信号 SEL が “ 1 ” の場合を示している。

【 0 2 2 8 】

これらの図に示すように、シリコン基板 1 0 が SOI 基板 1 1 に置き換わった点を除いて、実施の形態 1 1 の REF 回路と同様の構造を呈している。

【 0 2 2 9 】

以下、実施の形態 1 2 の CBCM 用回路を用いた容量値の測定方法を説明する。まず、TEST 回路を用いた測定を行う。

【 0 2 3 0 】

図 4 2 に示すように、選択信号 SEL = “ 0 ” の場合、実施の形態 1 1 の TE

ST回路と同様、10個のカップリング容量 C_c 、5個の接合容量 C_j 、10個のカップリング容量 C_{sti} が形成される。したがって、第1テスト容量 $CT1$ は、次の(35)式で得ることができる。なお、実施の形態12の接合容量 C_j は拡散領域13とSOI層19との界面で形成されるPN接合の容量を意味する。

【0231】

【数35】

$$CT1 = 10C_c + 10C_{sti} + 5C_j + \alpha \quad \cdots (35)$$

【0232】

図43に示すように、選択信号 $SEL = "1"$ の場合、実施の形態11のTEST回路と同様、2個のカップリング容量 C_c 、10個の接合容量 C_j が形成される。したがって、第2テスト容量 $CT2$ は、次の(36)式で得ることができる。

【0233】

【数36】

$$CT2 = 2C_c + 10C_j + \beta \quad \cdots (36)$$

【0234】

次に、REF回路を用いた測定を行う。

【0235】

図44に示すように、選択信号 $SEL = "0"$ の場合、実施の形態10のREF回路と同様、10個のカップリング容量 C_c のみが形成される。したがって、第1参照容量 $CR1$ は、次の(37)式で得ることができる。

【0236】

【数37】

$$CR1 = 10C_c + \alpha \quad \cdots (37)$$

【0237】

図45に示すように、選択信号 $SEL = "1"$ の場合、実施の形態10のREF回路と同様、2個のカップリング容量 C_c のみが形成される。したがって、第

2 参照容量 $CR2$ は、次の (38) 式で得ることができる。

【0238】

【数38】

$$CR2 = 2Cc + \beta \cdots (38)$$

【0239】

そして、実施の形態 10 と同様にして、(35)～(38) 式を解法することにより、拡散領域 13、13 間のカップリング容量 $Csti$ を精度よく得ることができる。

【0240】

<実施の形態 13>

図 46 及び図 47 はこの発明の実施の形態 13 である CBCM 用回路の TEST 回路の断面構造を示す断面図である。なお、平面構造は図 32 で示した構造と同様である。したがって、図 46 及び図 47 はそれぞれ図 32 の C-C 断面を示しており、図 46 は選択信号 SEL が “0” の場合、図 47 は選択信号 SEL が “1” の場合を示している。

【0241】

これらの図に示すように、実施の形態 12 の TEST 回路に比べ、各 STI 領域 12 が埋込絶縁層 18 に到達するように形成されている点が異なっている。すなわち、STI 領域 12 及び埋込絶縁層 18 によって、各拡散領域 13 は完全分離される。

【0242】

他の構造は図 42 及び図 43 で示した実施の形態 12 の TEST 回路と同様である。

【0243】

図 48 及び図 49 はこの発明の実施の形態 13 である CBCM 用回路の REF 回路の断面構造を示す断面図である。なお、平面構造は図 35 で示した構造と同様である。したがって、図 48 及び図 49 はそれぞれ図 35 の D-D 断面を示しており、図 48 は選択信号 SEL が “0” の場合、図 49 は選択信号 SEL が “1” の場合を示している。

【 0 2 4 4 】

これらの図に示すように、S O I 層 1 9 全てに S T I 領域 1 4 が形成されている点を除いて、実施の形態 1 2 の R E F 回路と同様の構造を呈している。

【 0 2 4 5 】

以下、実施の形態 1 3 の C B C M 用回路を用いた容量値の測定方法を説明する。まず、T E S T 回路を用いた測定を行う。

【 0 2 4 6 】

図 4 6 に示すように、選択信号 S E L = “ 0 ” の場合、実施の形態 1 1 の T E S T 回路と同様、1 0 個のカップリング容量 C_c 、5 個の接合容量 C_j 、1 0 個のカップリング容量 C_{sti} が形成される。したがって、第 1 テスト容量 C_{T1} は、次の (39) 式で得ることができる。

【 0 2 4 7 】

【数 3 9 】

$$C_{T1} = 10C_c + 10C_{sti} + 5C_j + \alpha \cdots (39)$$

【 0 2 4 8 】

図 4 7 に示すように、選択信号 S E L = “ 1 ” の場合、実施の形態 1 1 の T E S T 回路と同様、2 個のカップリング容量 C_c 、1 0 個の接合容量 C_j が形成される。したがって、第 2 テスト容量 C_{T2} は、次の (40) 式で得ることができる。

【 0 2 4 9 】

【数 4 0 】

$$C_{T2} = 2C_c + 10C_j + \beta \cdots (40)$$

【 0 2 5 0 】

次に、R E F 回路を用いた測定を行う。

【 0 2 5 1 】

図 4 8 に示すように、選択信号 S E L = “ 0 ” の場合、実施の形態 1 0 の R E F 回路と同様、1 0 個のカップリング容量 C_c のみが形成される。したがって、第 1 参照容量 C_{R1} は、次の (41) 式で得ることができる。

【0252】

【数41】

$$CR1=10Cc+\alpha \cdots(41)$$

【0253】

図49に示すように、選択信号SEL="1"の場合、実施の形態10のREF回路と同様、2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(42)式で得ることができる。

【0254】

【数42】

$$CR2=2Cc+\beta \cdots(42)$$

【0255】

そして、実施の形態10と同様にして、(39)～(42)式を解法することにより、拡散領域13、13間のカップリング容量Cstiを精度よく得ることができる。

【0256】

<実施の形態14>

図50及び図51はこの発明の実施の形態14であるCBCM用回路のTEST回路の断面構造を示す断面図である。なお、平面構造は図32で示した構造と同様である。したがって、図50及び図51はそれぞれ図32のC-C断面を示しており、図50は選択信号SELが"0"の場合、図51は選択信号SELが"1"の場合を示している。

【0257】

これらの図に示すように、実施の形態13のTEST回路に比べ、各拡散領域13が埋込絶縁層18に到達するように形成されている点が異なっている。したがって、拡散領域13にはPN接合は形成されない。他の構造は図46及び図47で示した実施の形態13のTEST回路と同様である。

【0258】

図52及び図53はこの発明の実施の形態14であるCBCM用回路のREF

回路の断面構造を示す断面図である。なお、平面構造は図 3 5 で示した構造と同様である。したがって、図 5 2 及び図 5 3 はそれぞれ図 3 5 の D-D 断面を示しており、図 5 2 は選択信号 S E L が “ 0 ” の場合、図 5 3 は選択信号 S E L が “ 1 ” の場合を示している。

【 0 2 5 9 】

これらの図に示すように、実施の形態 1 4 の R E F 回路は、実施の形態 1 3 の R E F 回路と同様の構造を呈している。

【 0 2 6 0 】

以下、実施の形態 1 4 の C B C M 用回路を用いた容量値の測定方法を説明する。まず、T E S T 回路を用いた測定を行う。

【 0 2 6 1 】

図 5 0 に示すように、選択信号 S E L = “ 0 ” の場合、実施の形態 1 1 の T E S T 回路と同様、10 個のカップリング容量 C_c 、10 個のカップリング容量 C_{sti} が形成される。しかし、拡散領域 1 3 はいずれの界面とも P N 接合は形成されないため接合容量 C_j は形成されない。したがって、第 1 テスト容量 C_{T1} は、次の (43) 式で得ることができる。

【 0 2 6 2 】

【数 4 3】

$$C_{T1} = 10C_c + 10C_{sti} + \alpha \cdots (43)$$

【 0 2 6 3 】

図 5 1 に示すように、選択信号 S E L = “ 1 ” の場合、実施の形態 1 1 の T E S T 回路と同様、2 個のカップリング容量 C_c が形成される。しかし、前述した理由により接合容量 C_j は形成されない。したがって、第 2 テスト容量 C_{T2} は、次の (44) 式で得ることができる。

【 0 2 6 4 】

【数 4 4】

$$C_{T2} = 2C_c + \beta \cdots (44)$$

【0265】

次に、REF回路を用いた測定を行う。

【0266】

図52に示すように、選択信号SEL = “0”の場合、実施の形態10のREF回路と同様、10個のカップリング容量Ccのみが形成される。したがって、第1参照容量CR1は、次の(45)式で得ることができる。

【0267】

【数45】

$$CR1 = 10Cc + \alpha \cdots (45)$$

【0268】

図53に示すように、選択信号SEL = “1”の場合、実施の形態10のREF回路と同様、2個のカップリング容量Ccのみが形成される。したがって、第2参照容量CR2は、次の(46)式で得ることができる。

【0269】

【数46】

$$CR2 = 2Cc + \beta \cdots (46)$$

【0270】

そして、実施の形態10と同様にして、(43)～(46)式を解法することにより、拡散領域13、13間のカップリング容量Cstiを精度よく得ることができる。

【0271】

なお、(44)式と(46)式とは全く同じ内容となるため、実施の形態14のREF回路においては、測定対象ノードNBを接地レベルに固定しても何ら支障はない。この場合、図35で示したトランスファゲート46、47及びインバータ48が不要になる分、回路構成の簡略化を図ることができる。

【0272】

<実施の形態15>

図54はこの発明の実施の形態15のCBCM用回路のTEST回路の回路構

成を模式的に示す説明図である。図 5 5 は図 5 4 の E - E 断面の断面構造を示す断面図である。

【 0 2 7 3 】

同図に示すように、実施の形態 8 の C B C M 用回路と比べた場合、測定容量形成部 3 が測定容量形成部 8 T に置き換わった点が異なる。

【 0 2 7 4 】

測定容量形成部 8 T (図 5 4 では平面構造を示している。)は、シリコン基板 1 0 に形成され、中心部に矩形状の拡散領域 1 5 A が形成され、拡散領域 1 5 A の周辺を囲んで S T I 領域 1 2 A が形成され、S T I 領域 1 2 A の周辺を囲んで拡散領域 1 5 B が形成され、拡散領域 1 5 B の周辺に囲んで S T I 領域 1 2 B が形成される。

【 0 2 7 5 】

配線層として機能する測定対象ノード N A は拡散領域 1 5 A にかけて横方向に伸びた矩形状を呈しており、拡散領域 1 5 A とコンタクトホール 6 6 を介して電氣的に接続される。配線層として機能する測定対象ノード N B は拡散領域 1 5 B の 3 辺の上方に伸びて形成され、複数のコンタクトホール 6 6 を介して拡散領域 1 5 B と電氣的に接続される。

【 0 2 7 6 】

ここで、拡散領域 1 5 A の周辺長は L_A 、拡散領域 1 5 A の面積は S_A 、拡散領域 1 5 B の面積が面積 S_B であるとする。

【 0 2 7 7 】

図 5 5 に示すように、測定対象ノード N A, N B 間に 2 つのカップリング容量 C_c が形成され、拡散領域 1 5 A には接合容量 $C_{j a}$ が形成され、拡散領域 1 5 B には接合容量 $C_{j b}$ が形成される。また、S T I 領域 1 2 A を挟んだ拡散領域 1 5 A, 1 5 B 間にカップリング容量 C_{sti} が形成される。

【 0 2 7 8 】

図 5 6 はこの発明の実施の形態 1 5 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。図 5 5 は図 5 6 の F - F 断面の断面構造にも相当する。

【 0 2 7 9 】

測定容量形成部 8 R (図 5 6 では平面構造を示している。) は、測定容量形成部 8 T と同様に、シリコン基板 1 0 に形成され、中心部に矩形状の拡散領域 1 5 C が形成され、拡散領域 1 5 C の周辺を囲んで S T I 領域 1 2 C が形成され、S T I 領域 1 2 C の周辺を囲んで拡散領域 1 5 D が形成され、拡散領域 1 5 D の周辺に囲んで S T I 領域 1 2 D が形成される。

【 0 2 8 0 】

測定対象ノード N A は拡散領域 1 5 C にかけて横方向に伸びた矩形状を呈しており、拡散領域 1 5 C とコンタクトホール 6 6 を介して電氣的に接続される。測定対象ノード N B は拡散領域 1 5 D の 3 辺の上方に伸びて形成され、複数のコンタクトホール 6 6 を介して拡散領域 1 5 B と電氣的に接続される。

【 0 2 8 1 】

ここで、拡散領域 1 5 C の周辺長は L_C 、拡散領域 1 5 C の面積は S_C 、拡散領域 1 5 D の面積が面積 S_D であるとする。

【 0 2 8 2 】

したがって、測定容量形成部 8 R は、測定容量形成部 8 T と比較して場合、拡散領域 1 5 C の面積 S_C は拡散領域 1 5 A の面積 S_A より小さく形成され、拡散領域 1 5 D の面積 S_D は拡散領域 1 5 B の面積 S_B より広く形成される点が異なっている。

【 0 2 8 3 】

以下、実施の形態 1 5 の C B C M 用回路を用いた容量値の測定方法を説明する。まず、T E S T 回路を用いた測定を行う。ここで、接合容量 $C_{j a}$ 、接合容量 $C_{j b}$ は単位面積当たりの容量を意味し、カップリング容量 $C_{s t i}$ は単位長当たりの容量を意味している。

【 0 2 8 4 】

選択信号 $S E L = "0"$ の場合、測定対象ノード N A、N B 間にカップリング容量 C_c が形成され、拡散領域 1 5 A に接合容量 $C_{j a}$ が形成され、拡散領域 1 5 A、1 5 B 間にカップリング容量 $C_{s t i}$ が形成される。また、回路を形成する配線等の微小容量 α も形成される。したがって、第 1 テスト容量 $C_{T 1}$ は、次の

(47)式で得ることができる。

【0285】

【数47】

$$CT1 = Cc + Csti \times LA + Cja \times SA + \alpha \cdots (47)$$

【0286】

選択信号SEL = “1”の場合、測定対象ノードNA, NB間が短絡されるためカップリング容量Ccは形成されず、拡散領域15A及び15Bにそれぞれ接合容量Cja及び接合容量Cjbが形成されるだけである。また、回路を形成する配線等の微小容量βも形成される。したがって、第2テスト容量CT2は、次の(48)式で得ることができる。

【0287】

【数48】

$$CT2 = Cja \times SA + Cjb \times SB + \beta \cdots (48)$$

【0288】

次に、REF回路を用いた測定を行う。

【0289】

選択信号SEL = “0”の場合、TEST回路の場合と同様に、カップリング容量Cc、カップリング容量Csti及び接合容量Cjaが形成される。また、回路を形成する配線等の微小容量αも形成される。したがって、第1参照容量CR1は、次の(49)式で得ることができる。

【0290】

【数49】

$$CR1 = Cc + Csti \times LC + Cja \times SC + \alpha \cdots (49)$$

【0291】

選択信号SEL = “1”の場合、TEST回路と同様、接合容量Cja及び接合容量Cjbが形成される。また、回路を形成する配線等の微小容量βも形成さ

れる。したがって、第 2 参照容量 $CR2$ は、次の(50)式で得ることができる。

【0292】

【数50】

$$CR2 = C_{ja} \times SC + C_{jb} \times SD + \beta \dots (50)$$

【0293】

そして、実施の形態 10 と同様にして、(47)～(50)式を解法することにより、拡散領域 13, 13 間のカップリング容量 C_{sti} を精度よく得ることができる。

【0294】

このように、実施の形態 15 では、測定対象ノード NA , NB の下方に形成される拡散領域の面積を変更することにより、カップリング容量 C_{sti} 及びゲート容量 C_{ga} を求めることができる。

【0295】

また、 STI 領域 12A～12D の形成幅を適宜変化させたときの、カップリング容量 C_{sti} やゲート容量 C_{ga} を測定することができる。

【0296】

<実施の形態 16>

図 57 はこの発明の実施の形態 16 の $CBCM$ 用回路の $TEST$ 回路の回路構成を模式的に示す説明図である。図 58 は図 57 の $G-G$ 断面の断面構造を示す断面図である。

【0297】

同図に示すように、図 54 及び図 55 で示す実施の形態 16 の $TEST$ 回路と比べた場合、測定容量形成部 8T が測定容量形成部 9T に置き換わった点がある。

【0298】

測定容量形成部 9T (図 57 では平面構造を示している。) は、拡散領域 15A 上に選択的にゲート絶縁膜 29 を介してゲート電極 28 を形成している。また、ゲート電極 28 直下の拡散領域 15A の表面がチャネル領域となるようにする。

【0299】

そして、測定対象ノードNAはゲート電極28とコンタクトホール66を介して電氣的に接続される。したがって、ゲート電極28直下の拡散領域15Aには接合容量 C_{ja} ではなく、ゲート容量 C_{ga} が形成される。他の構成は実施の形態15の測定容量形成部8Tと同様であるため、説明を省略する。

【0300】

図59はこの発明の実施の形態16のCBCM用回路のREF回路の回路構成を模式的に示す説明図である。図58は図59のG-G断面の断面構造にも相当する。

【0301】

測定容量形成部9R（図59では平面構造を示している。）は、拡散領域15C上に選択的にゲート絶縁膜29を介してゲート電極28を形成している。そして、測定対象ノードNAはゲート電極28とコンタクトホール66を介して電氣的に接続される。したがって、ゲート電極28直下の拡散領域15Aには接合容量 C_{ja} ではなく、ゲート容量 C_{ga} が形成される。他の構成は実施の形態15の測定容量形成部8Rと同様であるため、説明を省略する。

【0302】

以下、実施の形態16のCBCM用回路を用いた容量値の測定方法を説明する。まず、TEST回路を用いた測定を行う。ここで、ゲート容量 C_{ga} は単位面積当たりの容量を意味している。他の容量は実施の形態15と同様である。

【0303】

選択信号SEL = “0”の場合、測定対象ノードNA、NB間にカップリング容量 C_c が形成され、拡散領域15Aにゲート容量 C_{ga} が形成され、拡散領域15A、15B間にカップリング容量 C_{sti} が形成される。また、回路を形成する配線等の微小容量 α も形成される。したがって、第1テスト容量CT1は、次の(51)式で得ることができる。

【0304】

【数 5 1】

$$CT1 = Cc + Csti \times LA + Cga \times SA + \alpha \quad \dots (51)$$

【0305】

選択信号 SEL = “1” の場合、測定対象ノード NA, NB 間が短絡されるためカップリング容量 Cc は形成されず、拡散領域 15A 及び 15B にそれぞれゲート容量 Cga 及び接合容量 Cjb が形成されるだけである。また、回路を形成する配線等の微小容量 β も形成される。したがって、第 2 テスト容量 CT2 は、次の (52) 式で得ることができる。

【0306】

【数 5 2】

$$CT2 = Cga \times SA + Cjb \times SB + \beta \quad \dots (52)$$

【0307】

次に、REF 回路を用いた測定を行う。

【0308】

選択信号 SEL = “0” の場合、TEST 回路の場合と同様に、カップリング容量 Cc、カップリング容量 Csti 及びゲート容量 Cga が形成される。また、微小容量 α も形成される。したがって、第 1 参照容量 CR1 は、次の (53) 式で得ることができる。

【0309】

【数 5 3】

$$CR1 = Cc + Csti \times LC + Cga \times SC + \alpha \quad \dots (53)$$

【0310】

選択信号 SEL = “1” の場合、TEST 回路と同様、ゲート容量 Cga 及び接合容量 Cjb が形成される。また、微小容量 β も形成される。したがって、第 2 参照容量 CR2 は、次の (54) 式で得ることができる。

【0311】

【数 54】

$$CR2 = C_{ga} \times SC + C_{jb} \times SD + \beta \dots (54)$$

【0312】

そして、実施の形態10と同様にして、(51)～(54)式を解法することにより、拡散領域13、13間のカップリング容量 C_{sti} を精度よく得ることができる。

【0313】

このように、実施の形態16では、測定対象ノードNA、NBの下方に形成される拡散領域の面積を変更することにより、カップリング容量 C_{sti} を求めることができる。

【0314】

なお、実施の形態15及び実施の形態16で用いた拡散領域15A及び15C周辺長LA、LC及び拡散領域15A～15Dの面積SA～SDは設計者のItoによって任意に設定して良い。

【0315】

<その他>

上述した実施の形態10等において、シリコン基板10に代えて、SiC基板、SON (Silicon On Nothing) 基板、GaN基板、GaAs基板、InP基板等の半導体基板を用いても、同様にしてカップリング容量 C_{sti} 等を測定することができる。

【0316】

また、CBCM用回路を構成するトランジスタとしてMOSトランジスタを示したがスイッチング機能を有する素子であれば任意に代用可能であり、材質等は問わない。例えば、カーボンナノチューブに形成されたトランジスタを用いても構わない。さらに、素子分離領域としてSTI領域を用いたが、LOCOS等の他の素子分離法による素子分離領域を形成してもよい。本発明は、素子分離構造の種別に関係なく、素子分離領域を挟んで寄生する容量を測定することができる。

【0317】

また、上述した実施の形態では、S T I 領域で分離される活性領域として拡散領域と示したが、拡散領域はN型不純物拡散領域（界面でのP N接合の形成の有無は問わない）、P型不純物拡散領域（界面でのP N接合の形成の有無は問わない）のいずれを用いても良い。また、活性領域として不純物拡散領域を形成しなくてもいい。さらに、不純物拡散領域上に金属シリサイド（ $NiSi_2$ 、 $CoSi_2$ 、 $TiSi_2$ 、 $PtSi_2$ 、 $MoSi_2$ 、 $ZrSi_2$ 等）を形成してもしなくても、この発明の効果を奏するとは言うまでもない。

【0318】

【発明の効果】

以上説明したように、この発明における請求項1記載の容量値測定用回路は、第1～第3の電流検出部で検出した第1～第3の電流の値に基づくことにより、第1の容量から第1及び第2の容量成分並びに対象外容量成分を成分分離して、第1及び第2の容量成分を個別に測定することができる。

【0319】

この発明における請求項8記載の容量値測定用回路は、第1及び第2の電流検出部で検出された第1及び第2の電流の値に基づき、第1の容量から所定数の第1の容量成分のいずれかと第2の容量成分とを成分分離して測定している。この際、所定数の第2の端子から得られる電流を共通信号線から得られる一つの第2の電流としてを検出できるため、第2の電流検出用の外部パッドを一つ用いるだけで済ますことができる。

【0320】

この発明における請求項10記載の容量値測定用回路は、第1及び第2の状態それぞれでの供給電流の値に基づき、第1及び第2の容量成分を測定可能なため、一つの供給電流を検出するだけで、測定容量の第1及び第2の容量成分を個別測定することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるCBCM用回路の構成を示す回路図である。

【図2】 実施の形態1のCBCM用回路動作を示すタイミング図である。

【図 3】 測定配線あるいはダミー配線の具体例を示す平面図である。

【図 4】 図 3 の A - A' 断面を示す断面図である。

【図 5】 実施の形態 2 の C B C M 用回路の構成をウェル領域との関係で模式的に示した説明図である。

【図 6】 図 5 の C B C M 用回路で用いる N M O S トランジスタの断面構造を示す断面図である。

【図 7】 図 6 のウェル構造を簡易的に示す説明図である。

【図 8】 実施の形態 3 の C B C M 用回路で用いられるトランジスタ構造を示す断面図である。

【図 9】 実施の形態 4 の C B C M 用回路の第 1 の回路における測定容量形成部の構成を示す回路図である。

【図 1 0】 実施の形態 4 の第 1 の回路の測定容量形成部の内部構成を示す平面図である。

【図 1 1】 図 1 0 の X 1 - X 1' 断面構造を示す断面図である。

【図 1 2】 実施の形態 4 の C B C M 用回路の第 2 の回路における測定容量形成部の構成を示す平面図である。

【図 1 3】 図 1 2 の X 2 - X 2' 断面構造を示す断面図である。

【図 1 4】 実施の形態 5 の C B C M 用回路の第 1 の回路の回路構成を示す回路図である。

【図 1 5】 実施の形態 5 の第 1 の回路の測定容量形成部の構造を示す平面図である。

【図 1 6】 図 1 5 の Y 1 - Y 1' 断面構造を示す断面図である。

【図 1 7】 実施の形態 5 の第 2 の回路の測定容量形成部の第 2 の構造を示す平面図である。

【図 1 8】 図 1 7 の Y 2 - Y 2' 断面構造を示す断面図である。

【図 1 9】 実施の形態 5 の第 1 の回路の測定容量形成部の他の態様を示す平面図である。

【図 2 0】 この発明の実施の形態 6 である C B C M 用回路の構成を示す回路図である。

【図 2 1】 実施の形態 6 における測定容量形成部の一例を示す断面図である。

【図 2 2】 実施の形態 6 の C B C M 用回路の動作を示すタイミング図である。

【図 2 3】 実施の形態 6 の C B C M 用回路を用いた配線特性の解析方法を示すフローチャートである。

【図 2 4】 実施の形態 7 のデコーダの他の構成を示す回路図である。

【図 2 5】 実施の形態 8 の回路構成を模式的に示す説明図である。

【図 2 6】 実施の形態 8 の測定容量形成部の第 1 の状態を示す断面図である。

【図 2 7】 実施の形態 8 の測定容量形成部の第 2 の状態を示す断面図である。

【図 2 8】 実施の形態 8 の C B C M 用回路を用いた配線特性の解析方法を示すフローチャートである。

【図 2 9】 この発明の実施の形態 9 の C B C M 用補助回路の回路構成を模式的に示す説明図である。

【図 3 0】 実施の形態 9 の測定容量形成部の第 1 の状態を示す断面図である。

【図 3 1】 実施の形態 9 の測定容量形成部の第 2 の状態を示す断面図である。

【図 3 2】 この発明の実施の形態 1 0 の C B C M 用回路の T E S T 回路の回路構成を模式的に示す説明図である。

【図 3 3】 実施の形態 1 0 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 3 4】 実施の形態 1 0 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 3 5】 この発明の実施の形態 1 0 の R E F 回路の回路構成を模式的に示す説明図である。

【図 3 6】 実施の形態 1 0 の T E S T 回路の測定容量形成部の第 1 の状態

を示す断面図である。

【図 3 7】 実施の形態 1 0 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 3 8】 実施の形態 1 1 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 3 9】 実施の形態 1 1 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 4 0】 実施の形態 1 1 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 4 1】 実施の形態 1 1 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 4 2】 実施の形態 1 2 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 4 3】 実施の形態 1 2 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 4 4】 実施の形態 1 2 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 4 5】 実施の形態 1 2 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 4 6】 実施の形態 1 3 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 4 7】 実施の形態 1 3 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 4 8】 実施の形態 1 3 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 4 9】 実施の形態 1 3 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 5 0】 実施の形態 1 4 の T E S T 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 5 1】 実施の形態 1 4 の T E S T 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 5 2】 実施の形態 1 4 の R E F 回路の測定容量形成部の第 1 の状態を示す断面図である。

【図 5 3】 実施の形態 1 4 の R E F 回路の測定容量形成部の第 2 の状態を示す断面図である。

【図 5 4】 の実施の形態 1 5 の C B C M 用回路の T E S T 回路の回路構成を模式的に示す説明図である。

【図 5 5】 図 5 4 の E - E 断面の断面構造を示す断面図である。

【図 5 6】 実施の形態 1 5 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。

【図 5 7】 実施の形態 1 6 の C B C M 用回路の T E S T 回路の回路構成を模式的に示す説明図である。

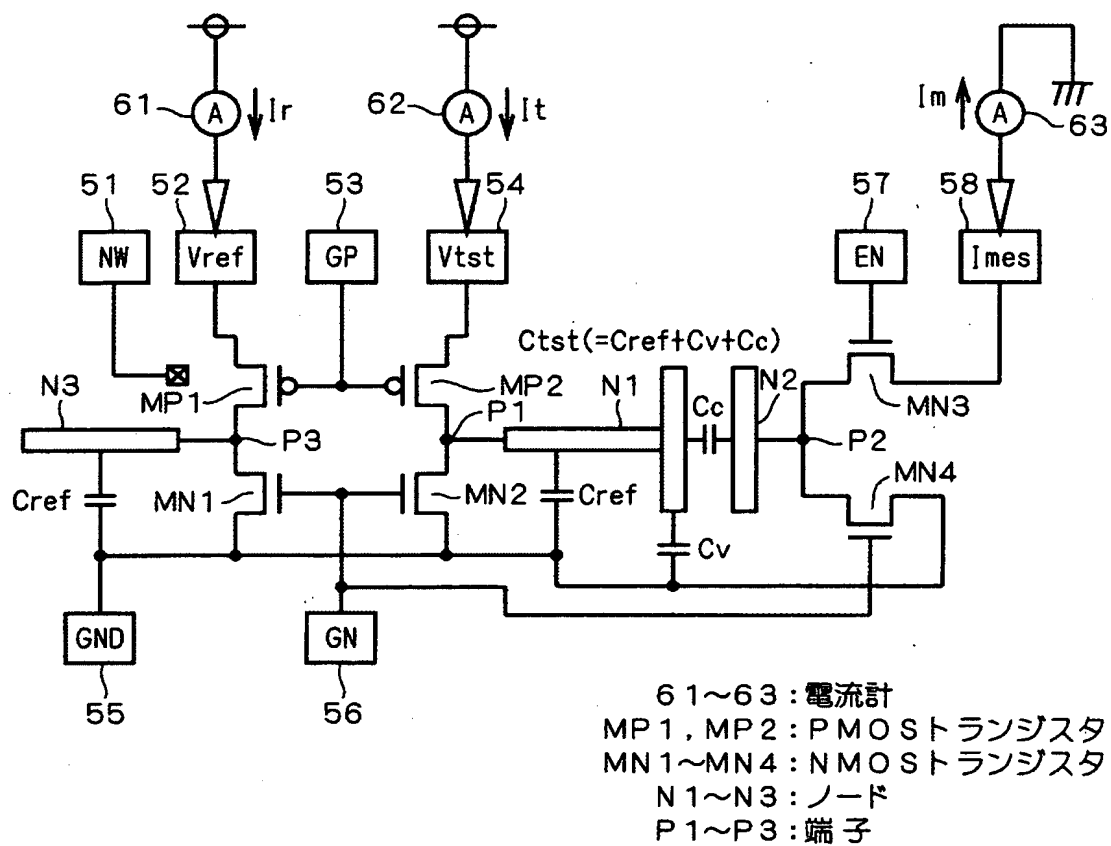
【図 5 8】 図 5 7 の G - G 断面の断面構造を示す断面図である。

【図 5 9】 実施の形態 1 6 の C B C M 用回路の R E F 回路の回路構成を模式的に示す説明図である。

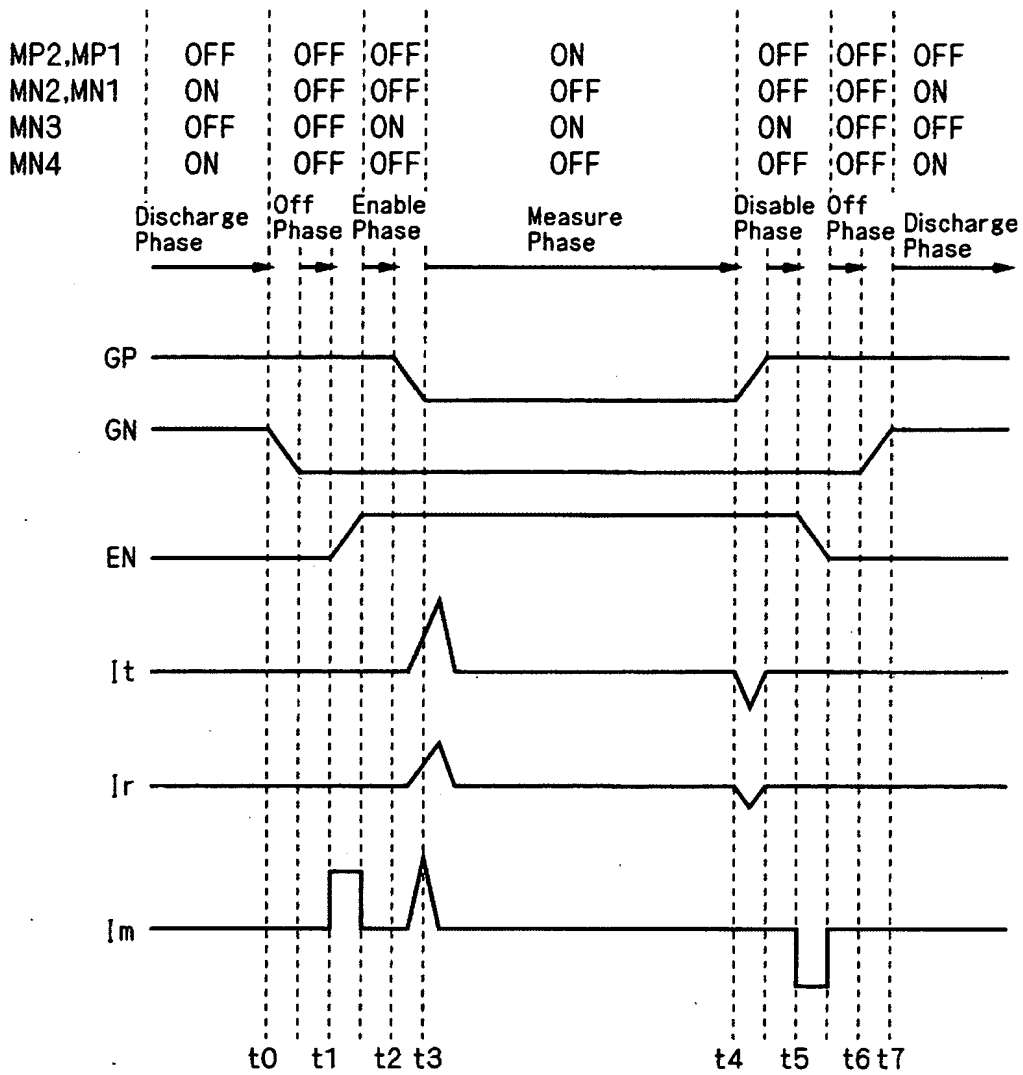
【符号の説明】

1, 5 デコーダ、2～7, 8 T, 8 R, 9 T, 9 R, 9 1 A, 9 1 B, 9 2 A, 9 2 B (補助) 測定容量形成部、1 0 シリコン基板、1 1 S O I 基板、1 2, 1 2 A～1 2 D S T I 領域、1 3 拡散領域、1 5 A～1 5 D 拡散領域、6 1～6 3, 7 0 電流計、M N 1～M N 4, M N 3 1～M N 3 5, M N 4 1～M N 4 5 N M O S トランジスタ、M P 1, M P 2 P M O S トランジスタ、N 1～N 3, N A, N B (測定対象) ノード、P 1～P 3, P 2 1～P 2 5 端子。

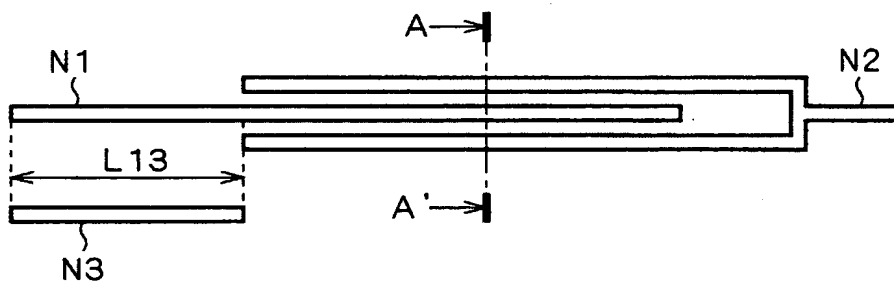
【図 1】



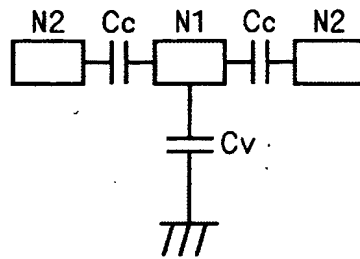
【図 2】



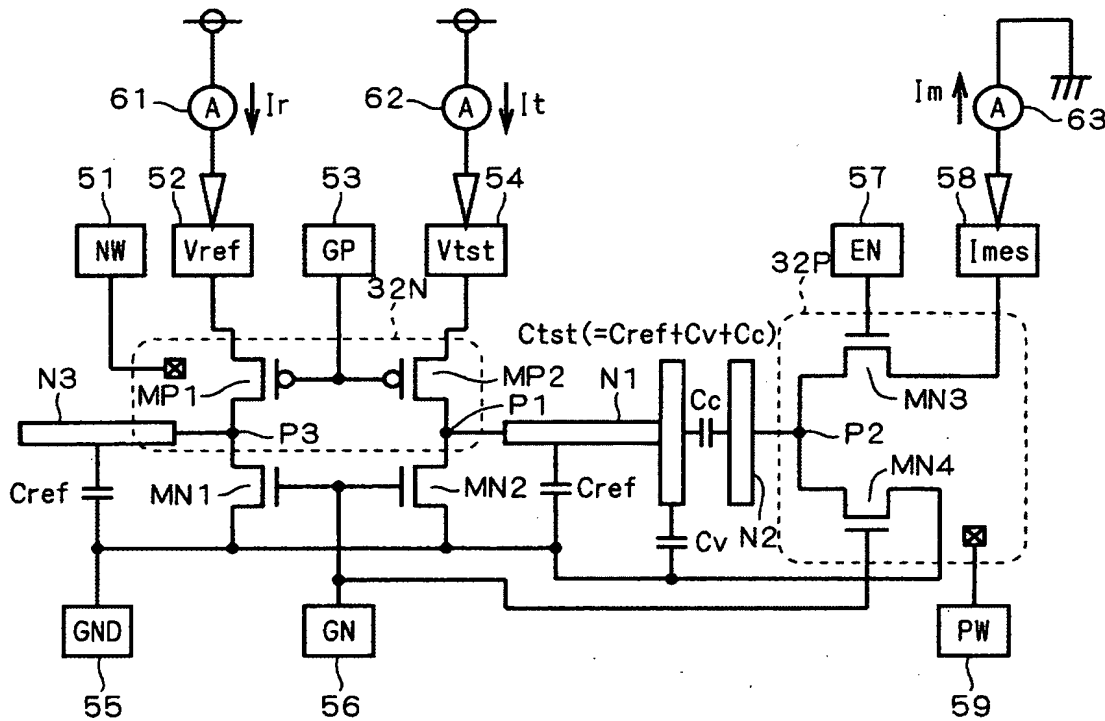
【図 3】



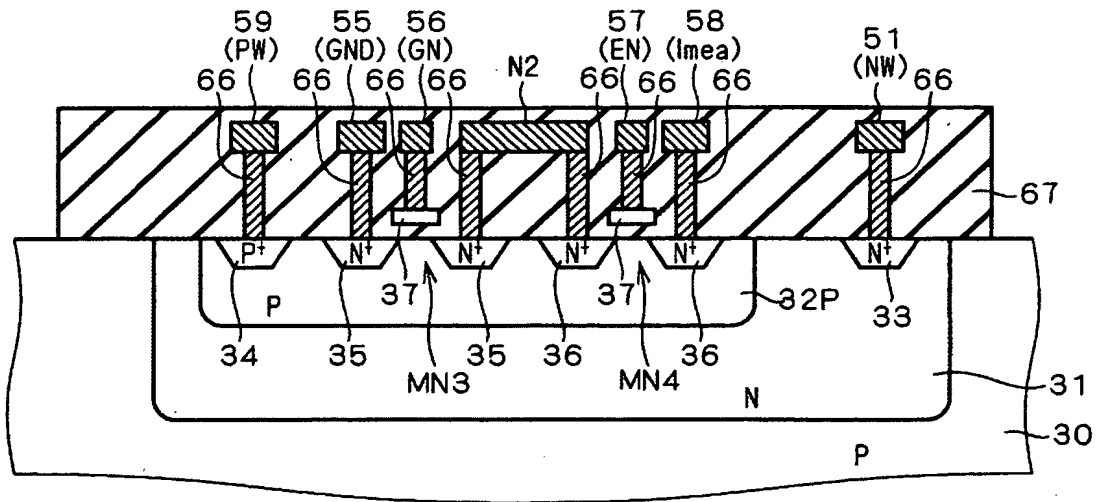
【図 4】



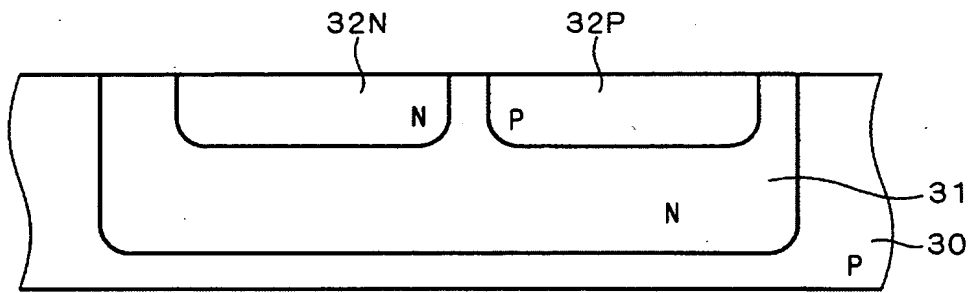
【図 5】



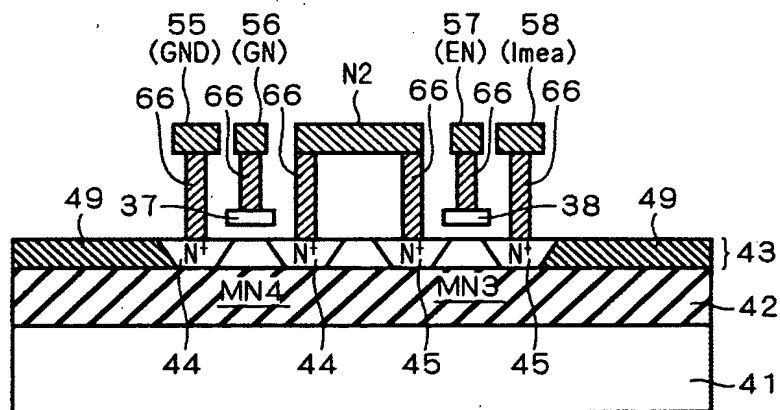
【図 6】



【図 7】



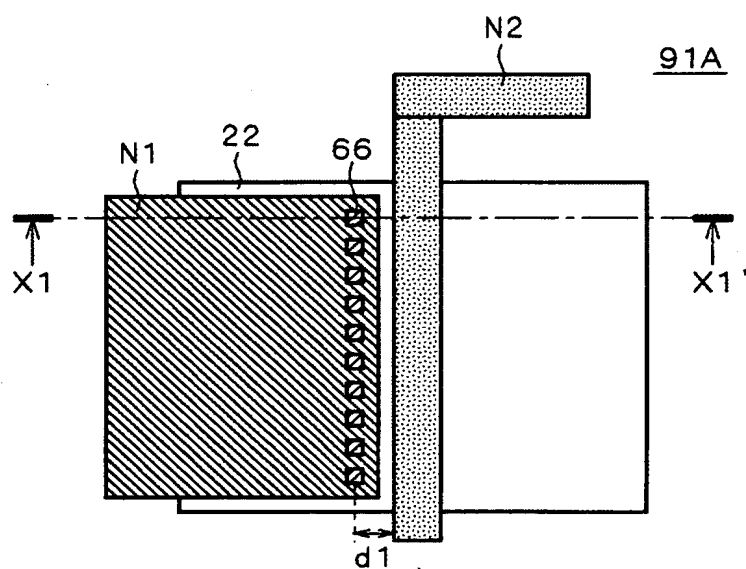
【図 8】



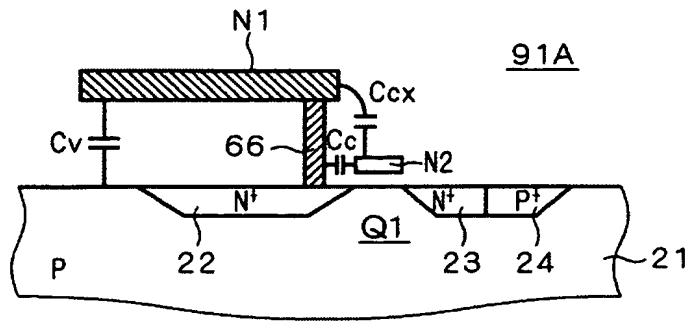
【図 9】



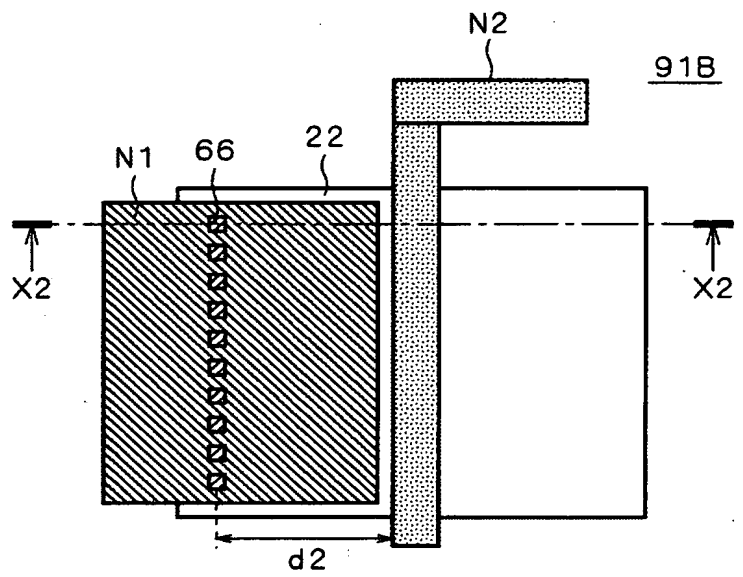
【图 10】



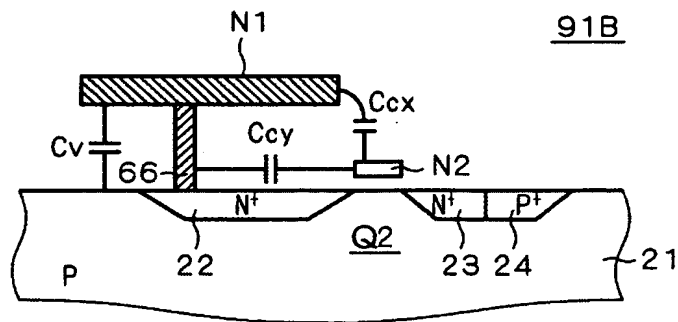
【図 1 1】



【図 1 2】



【図 1 3】



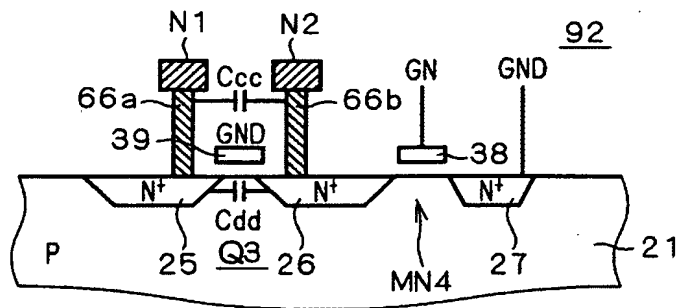
【图 14】



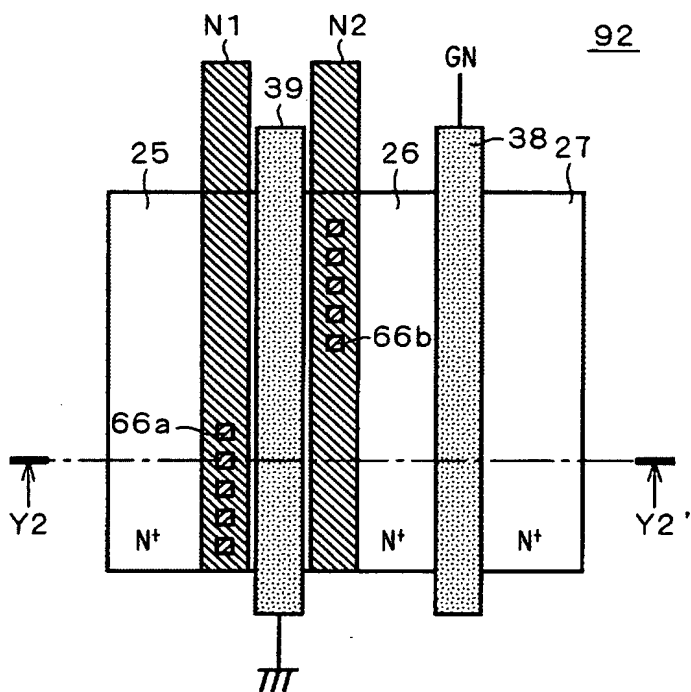
【图 15】



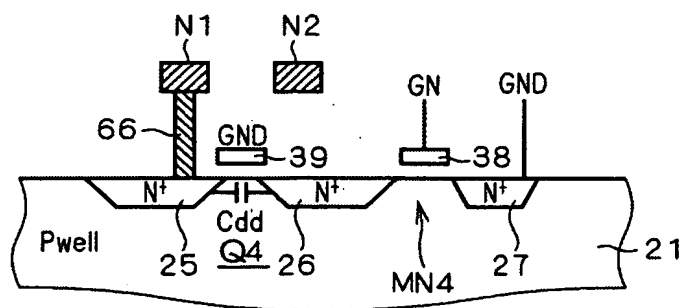
【図 16】



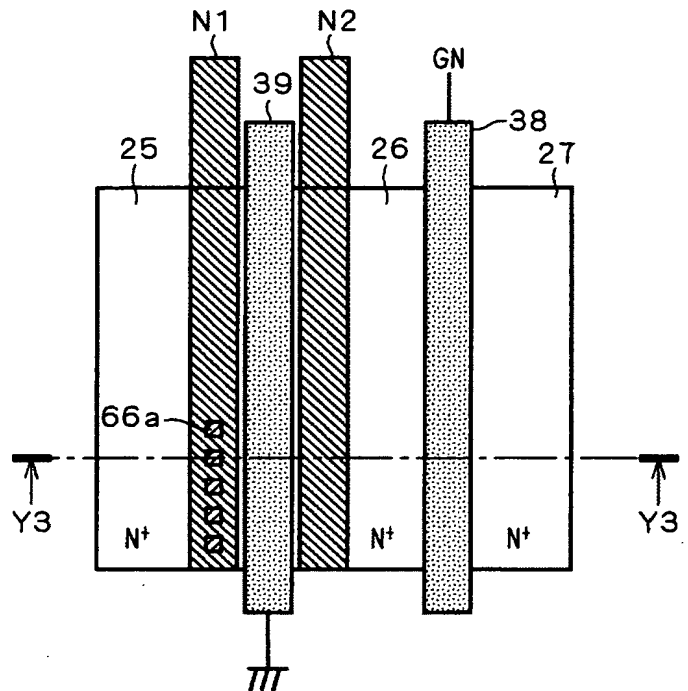
【図 17】



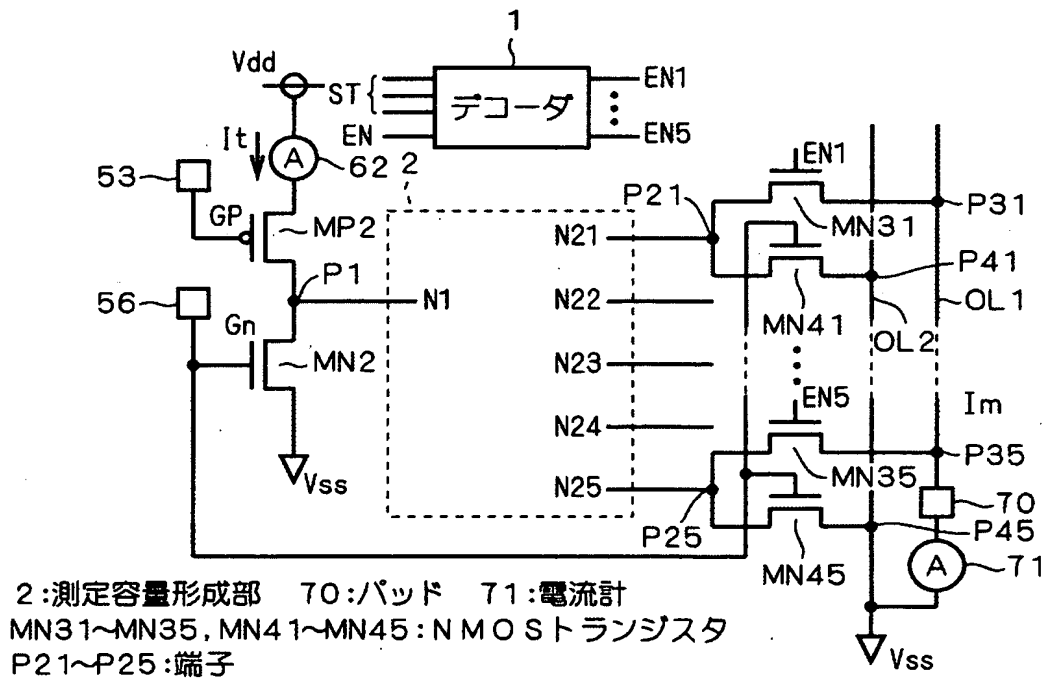
【图 18】



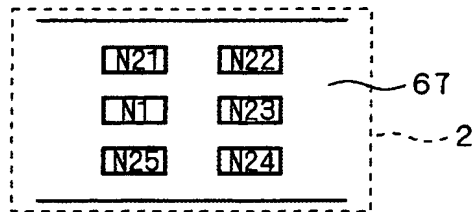
【図19】



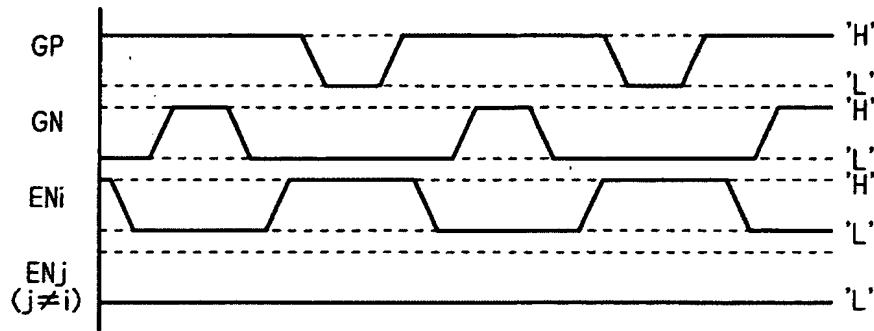
【図20】



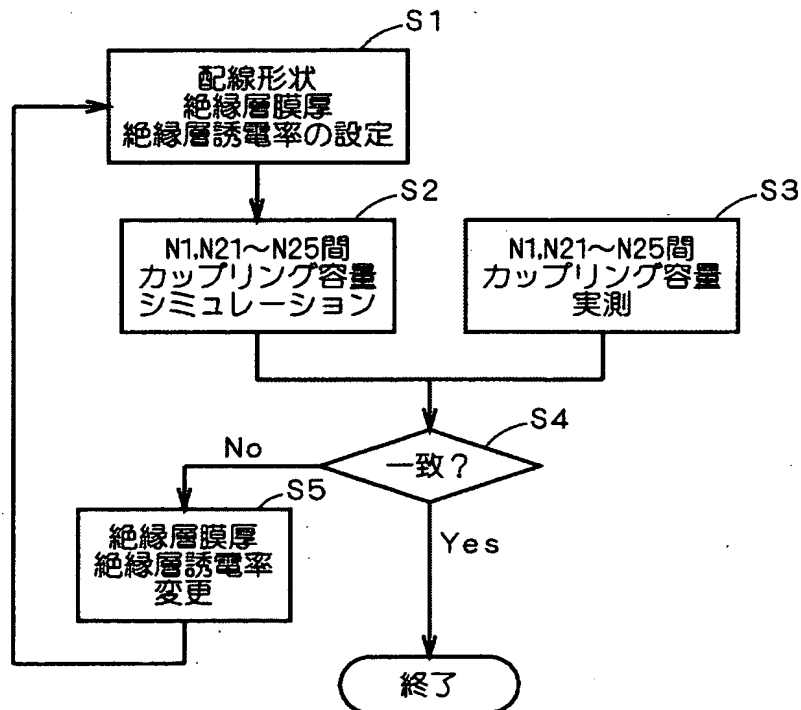
【図 2 1】



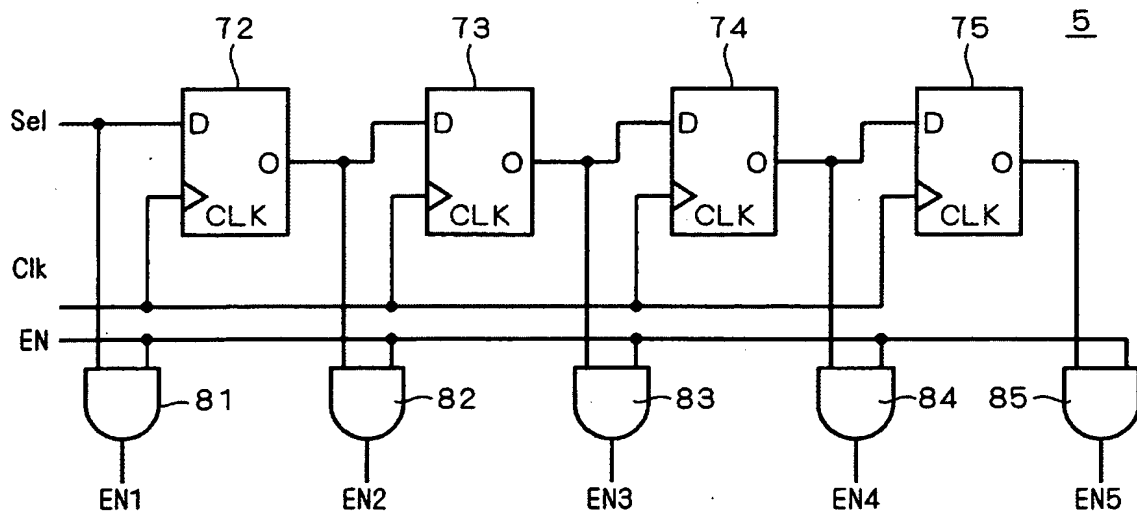
【図 2 2】



【図 2 3】

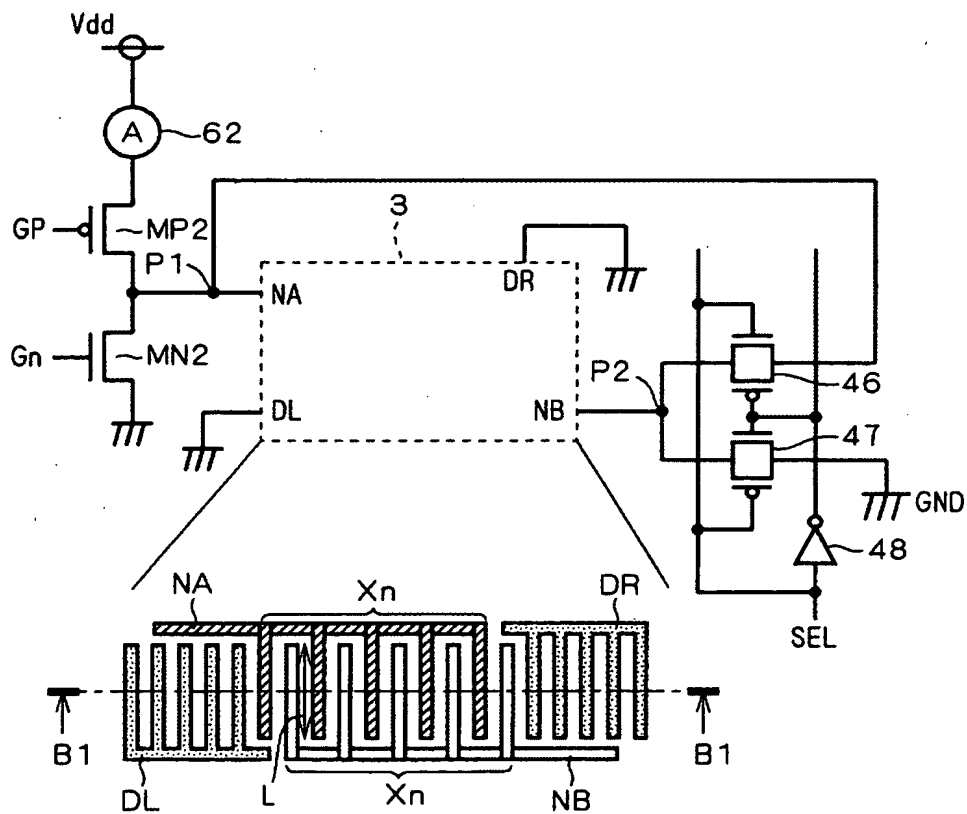


【図 24】



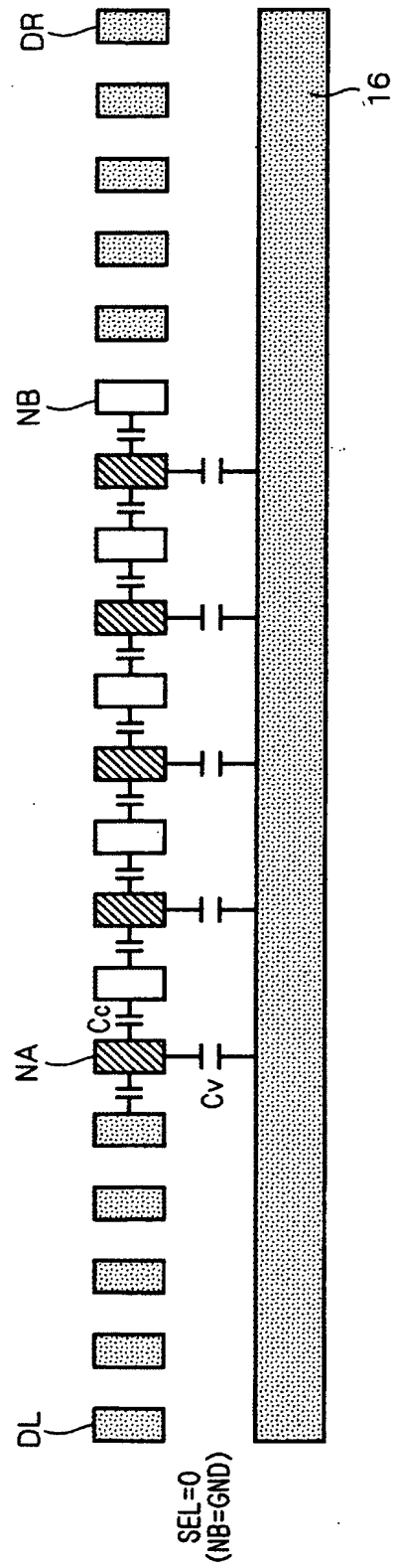
5:デコーダ

【図 25】

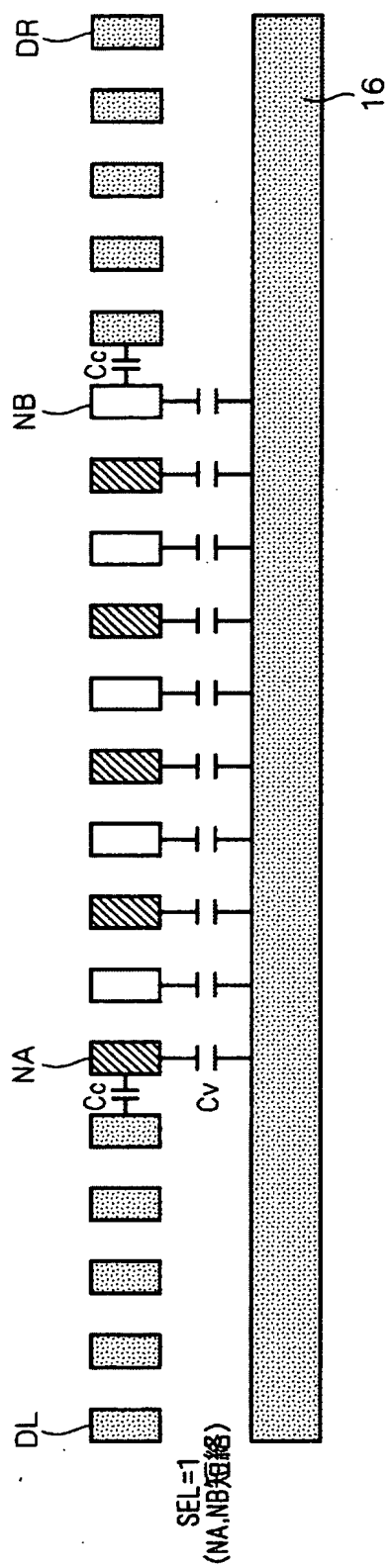


3:測定容量形成部

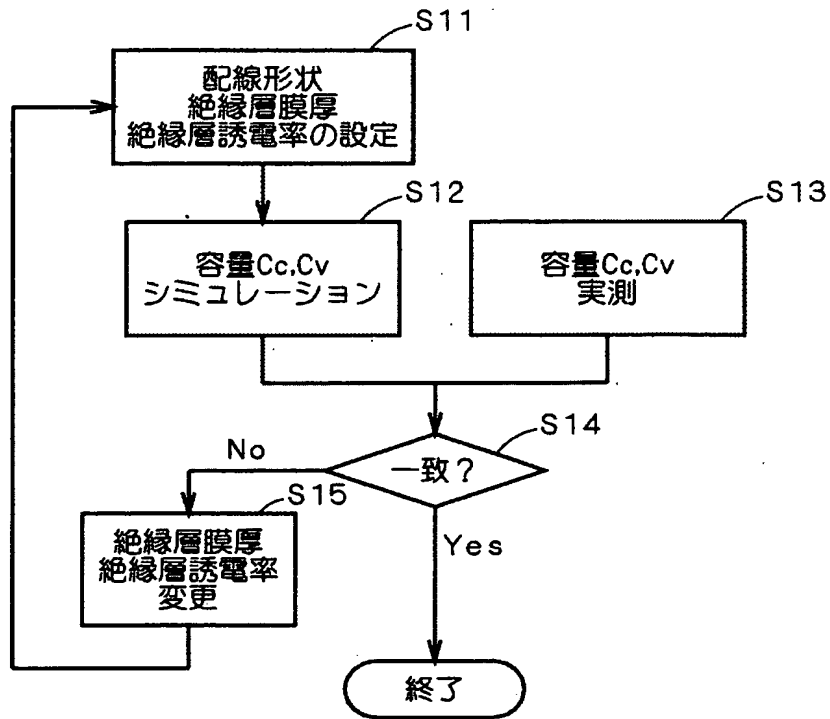
【図 26】



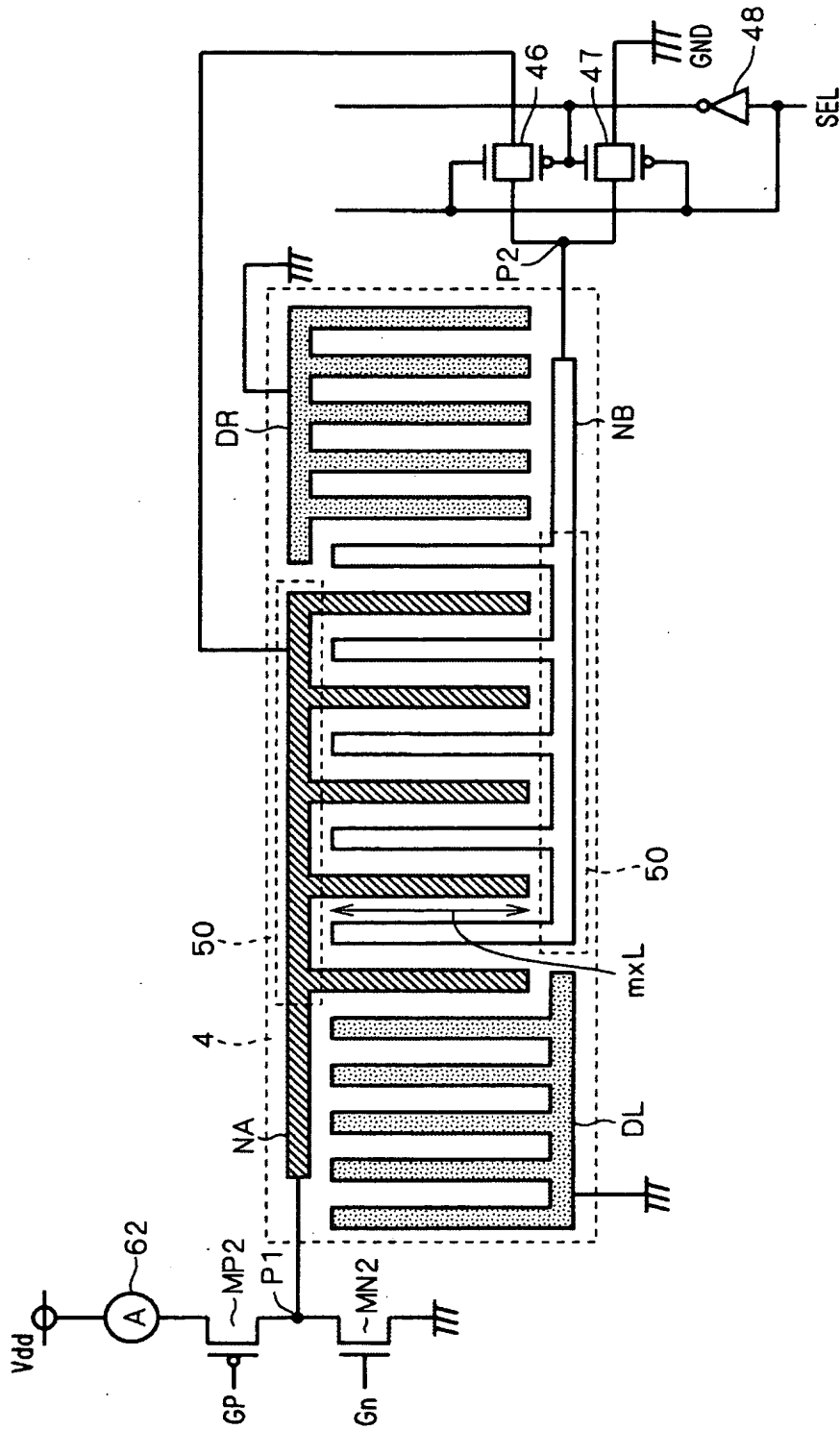
【図 27】



【図 28】

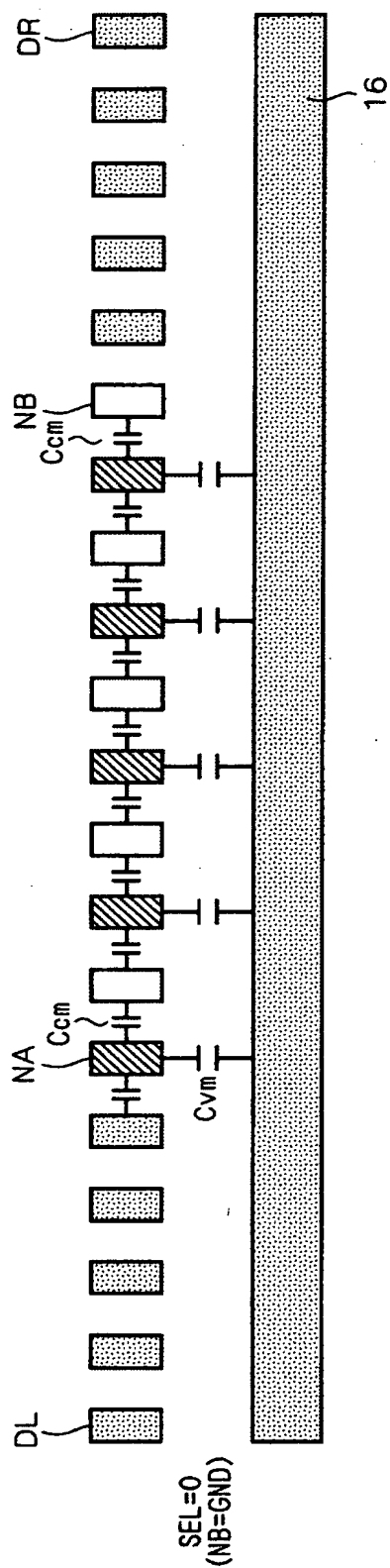


【図 29】

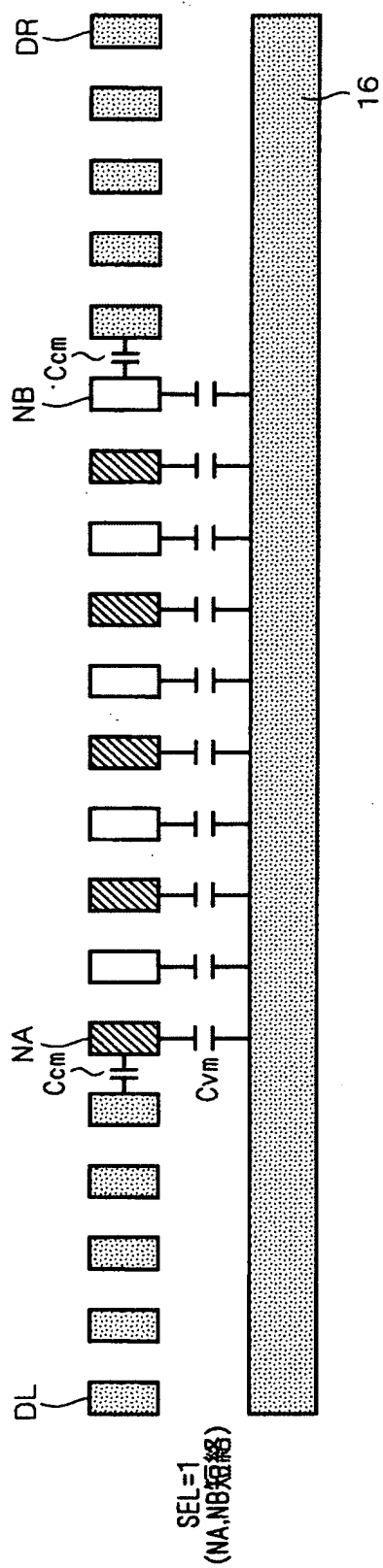


4 : 補助測定容量形成部

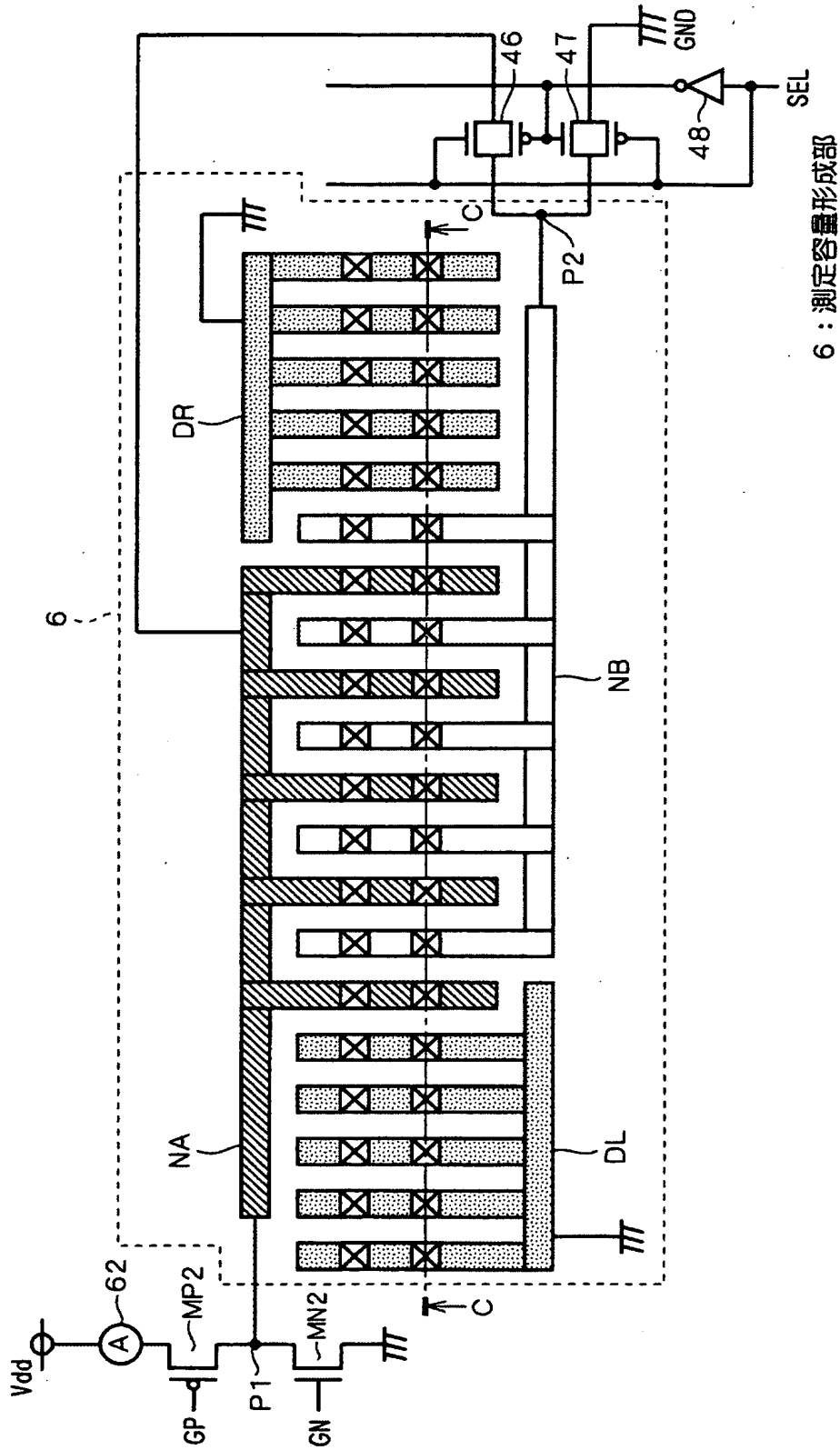
【図 30】



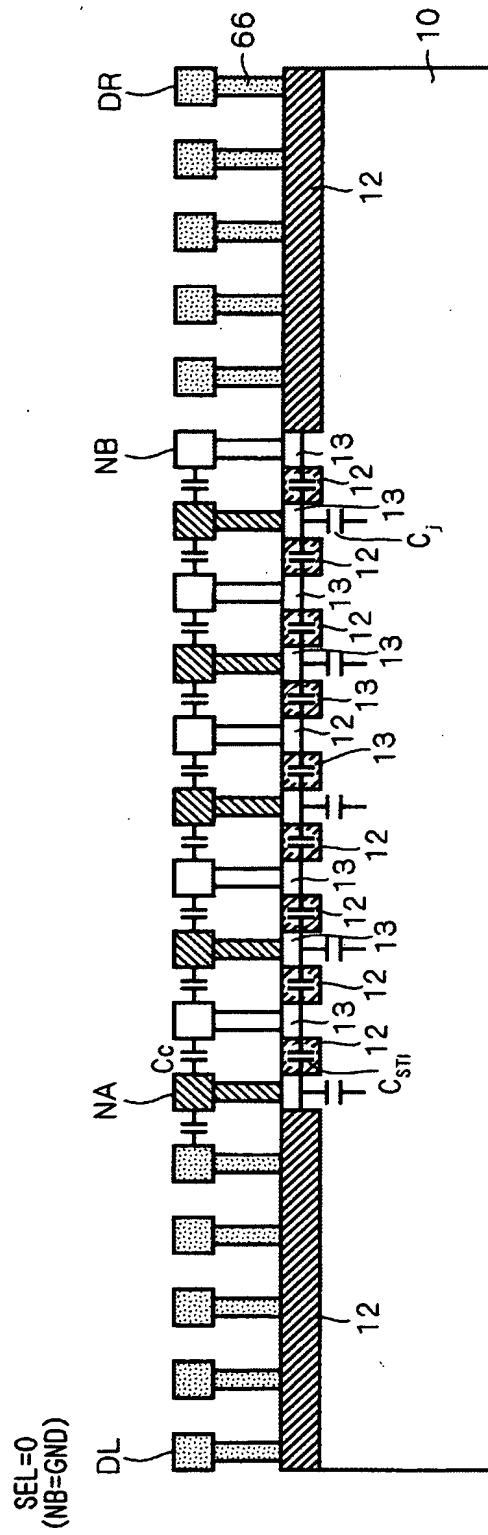
【図 3 1】



【図 3 2】

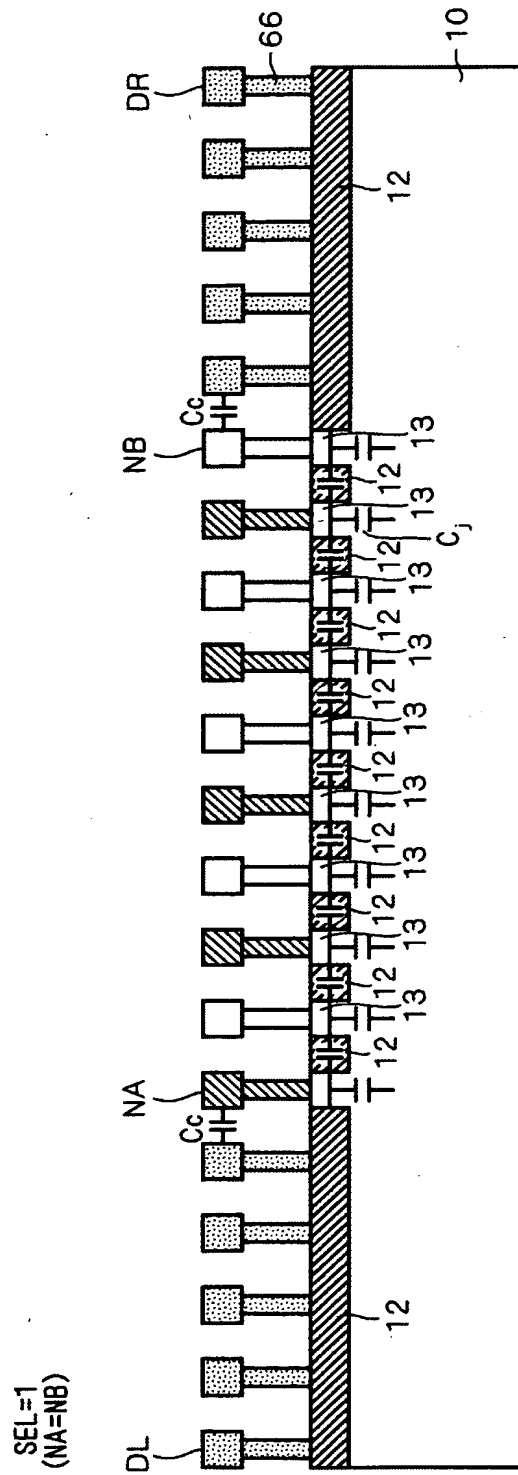


【图 3 3】

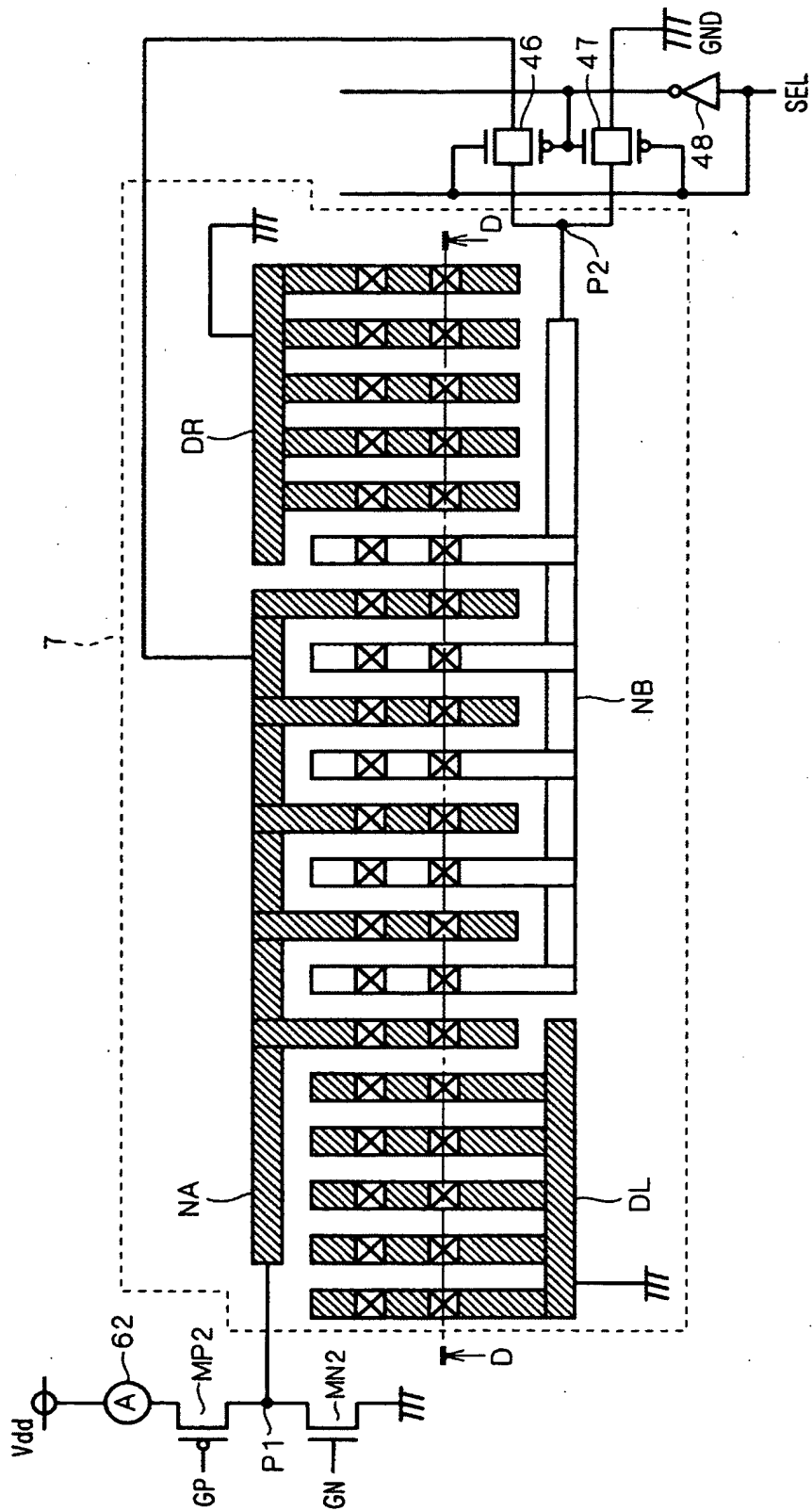


10:シリコン基板
12:STI領域
13:拡散領域

【図 34】

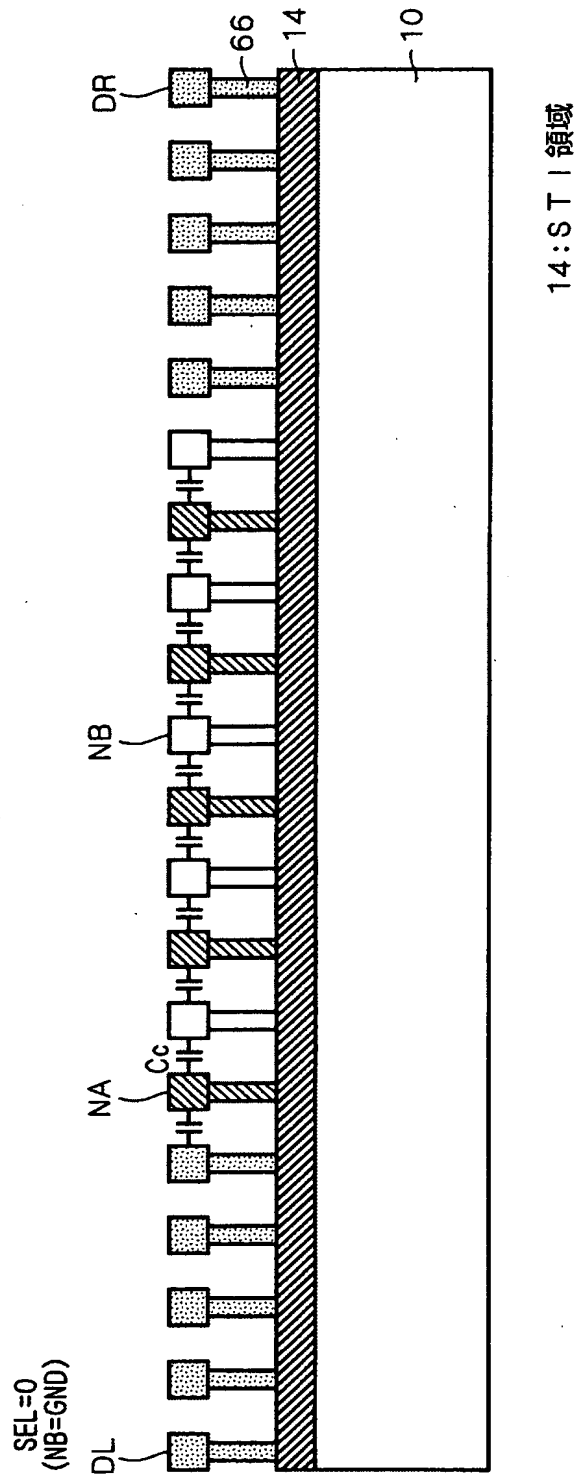


【図 3 5】

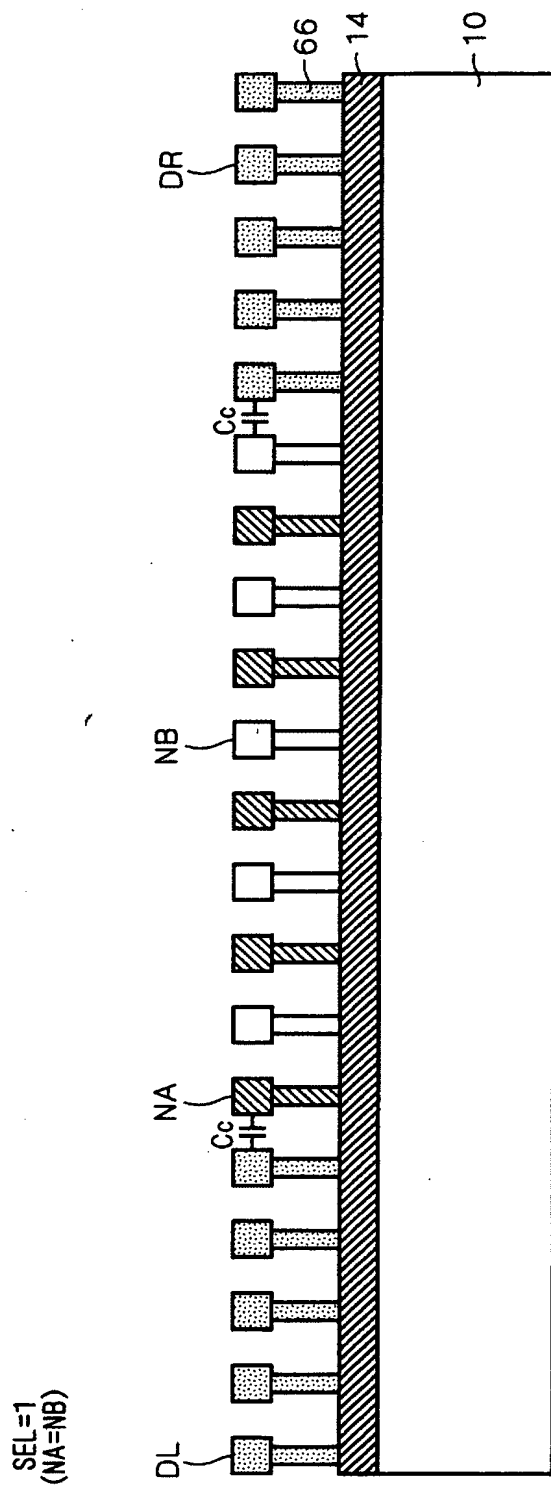


7: 測定容量形成部

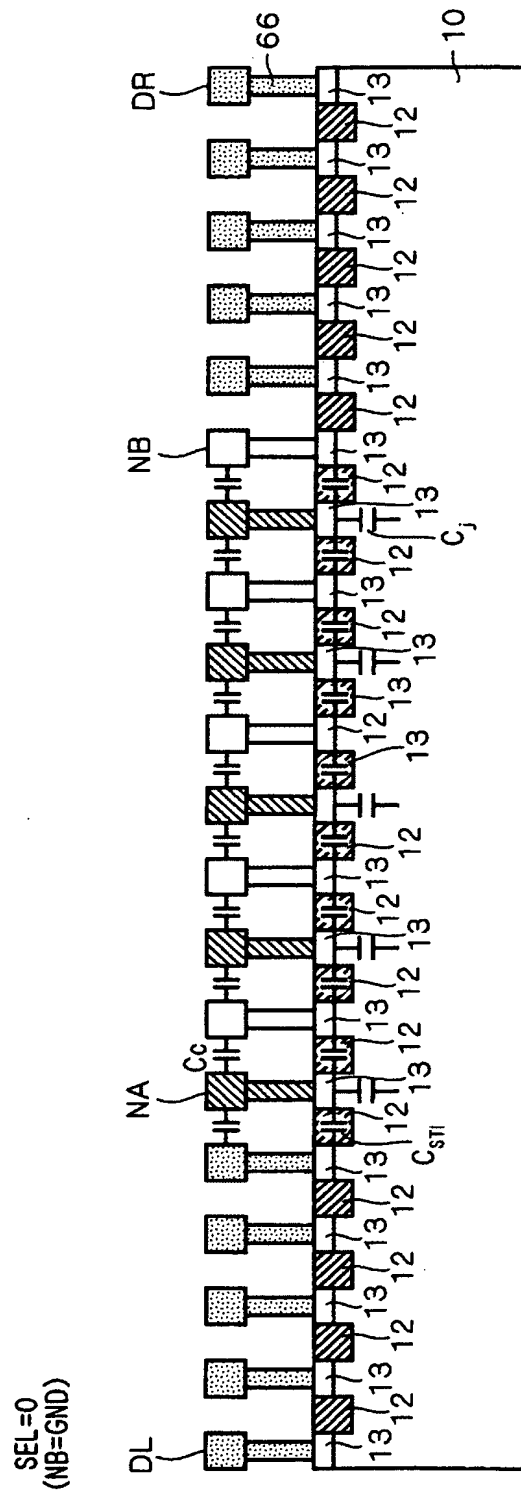
【図 3 6】



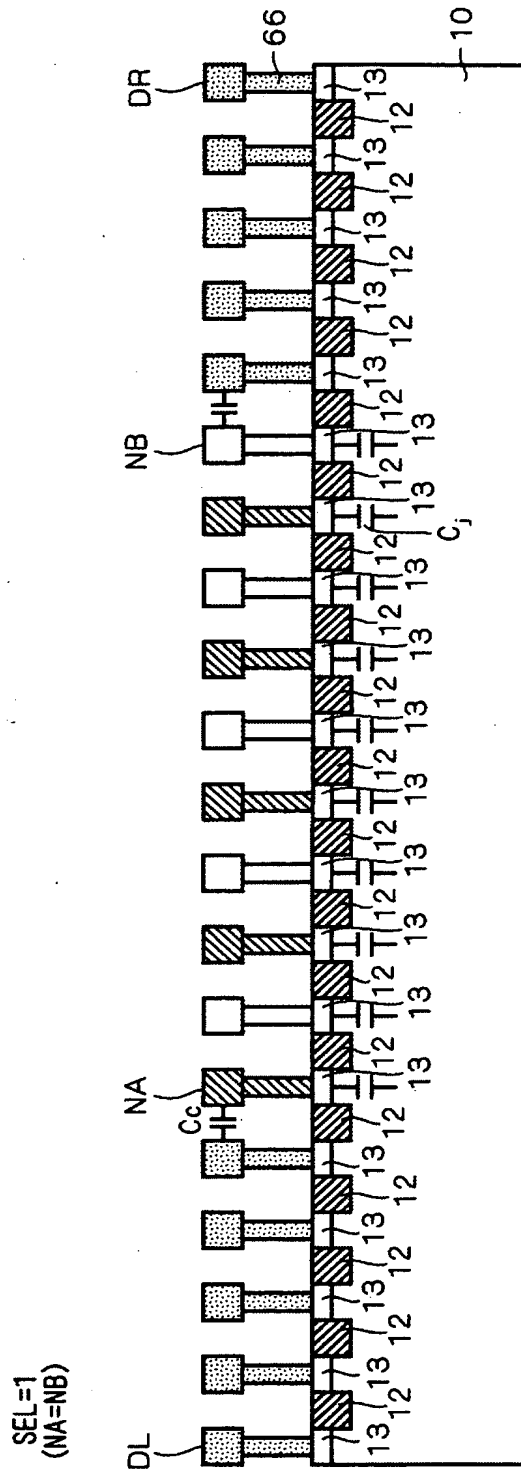
【図 37】



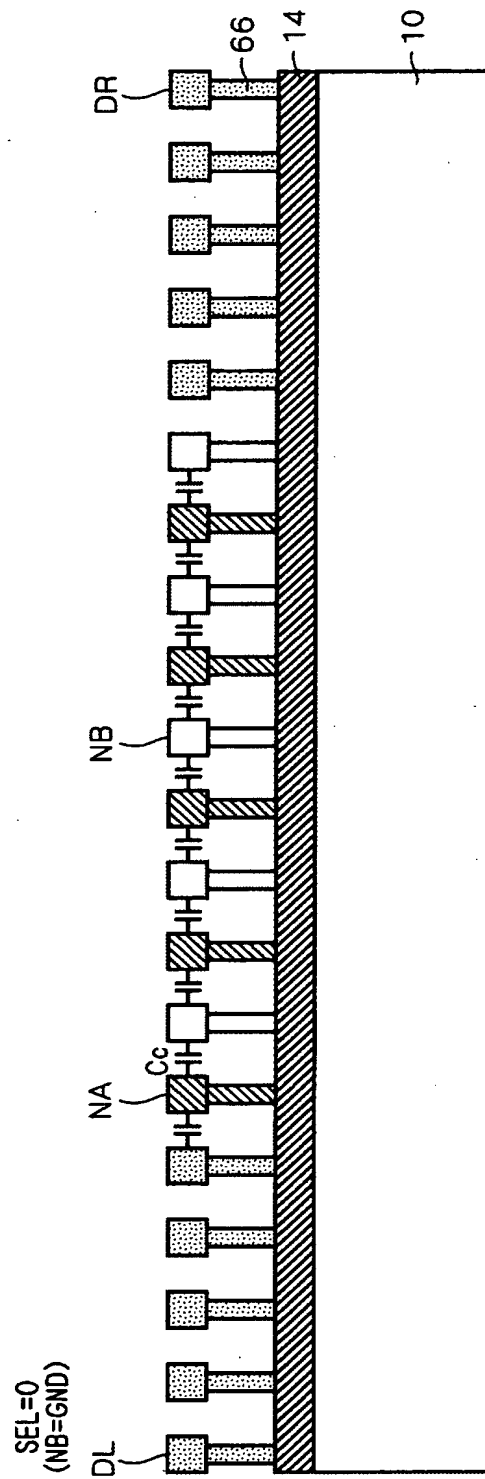
【図 38】



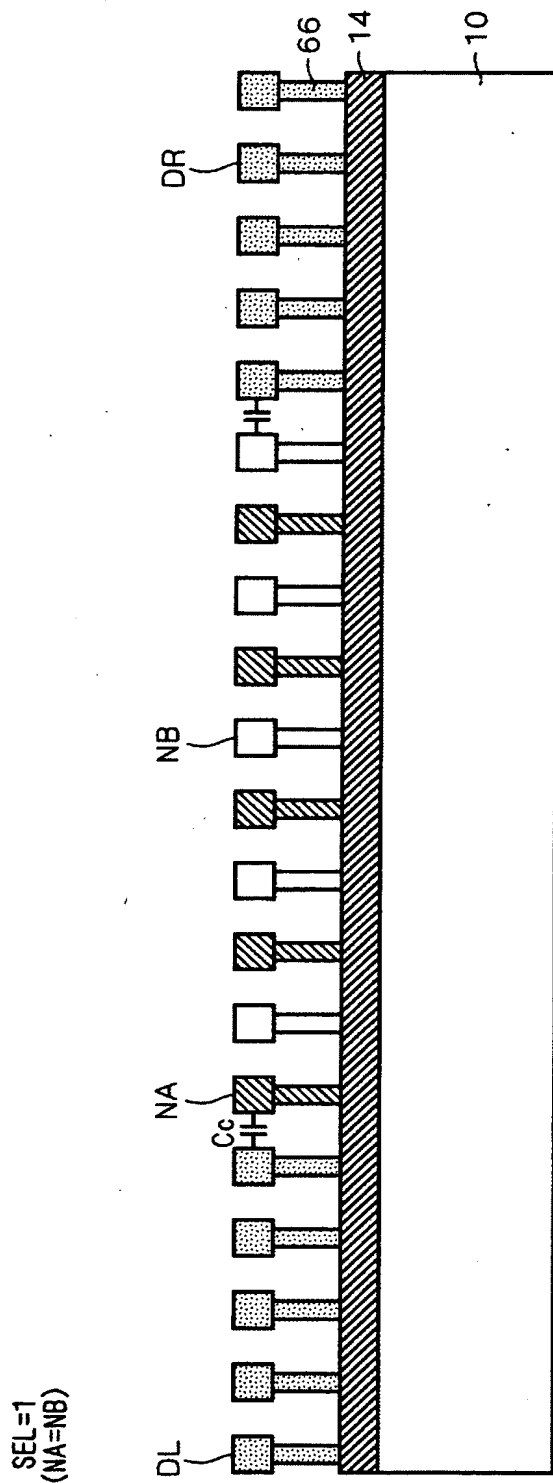
【図 39】



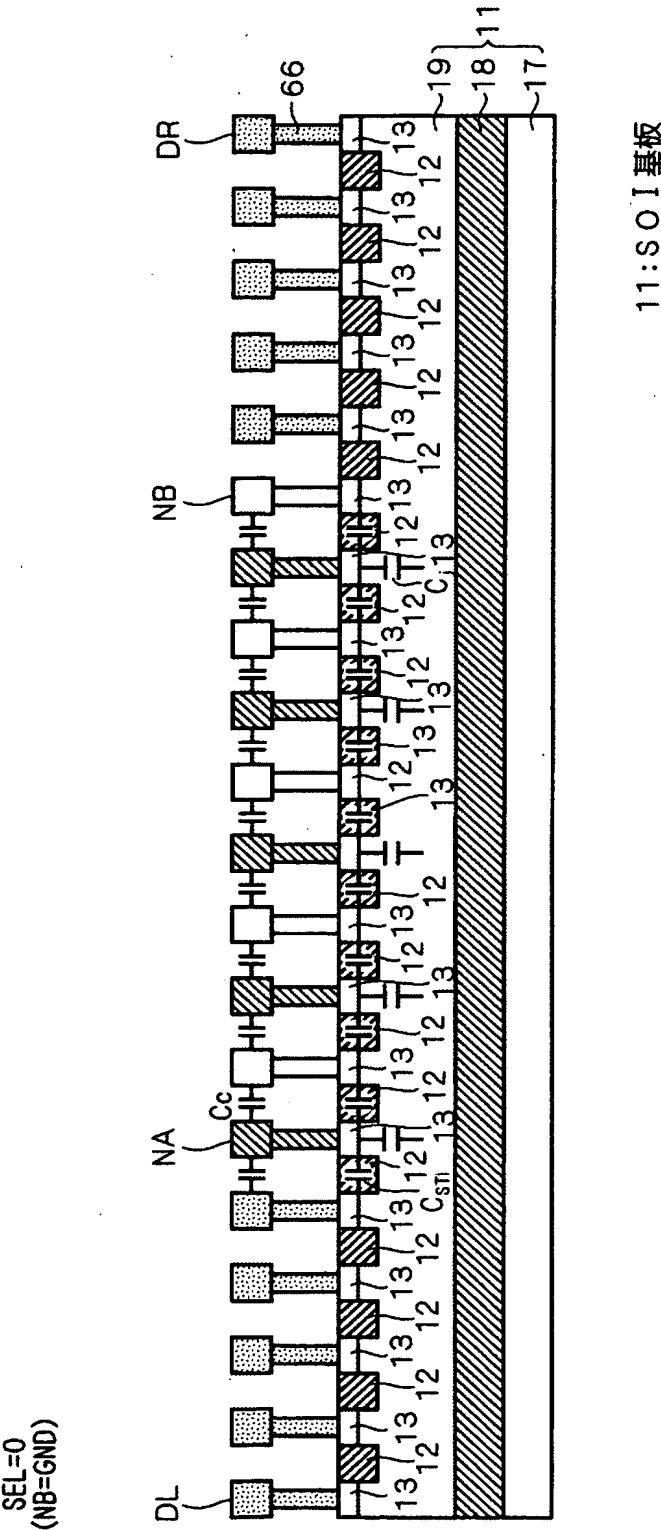
【図 4 0】



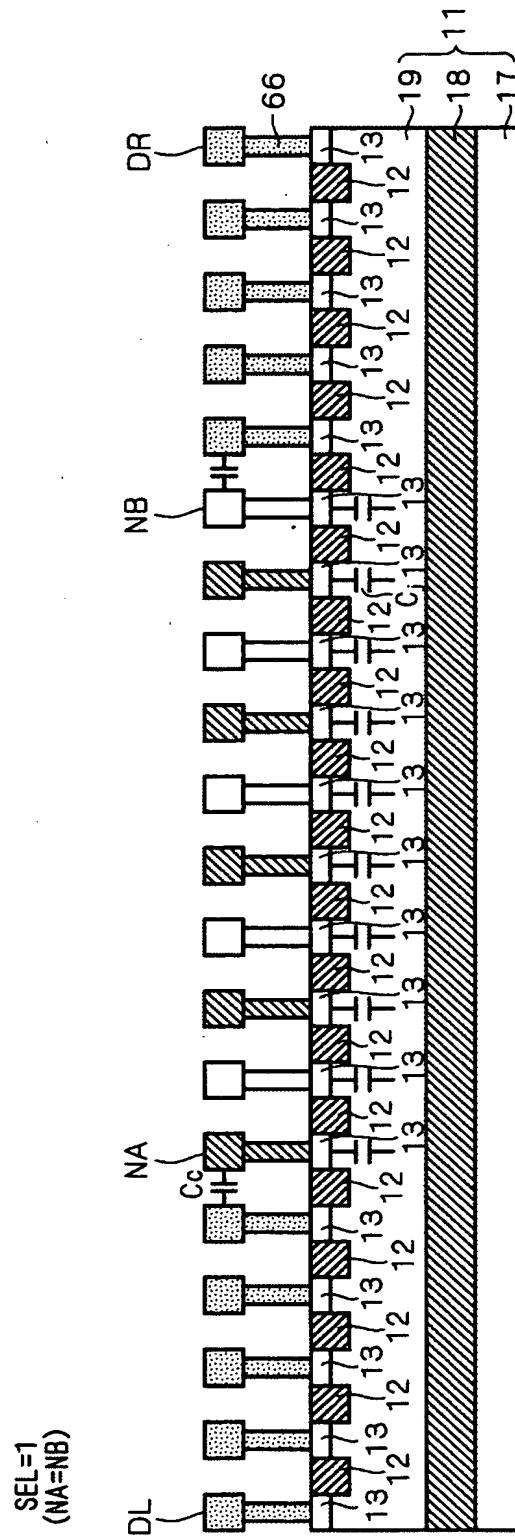
【図 4 1】



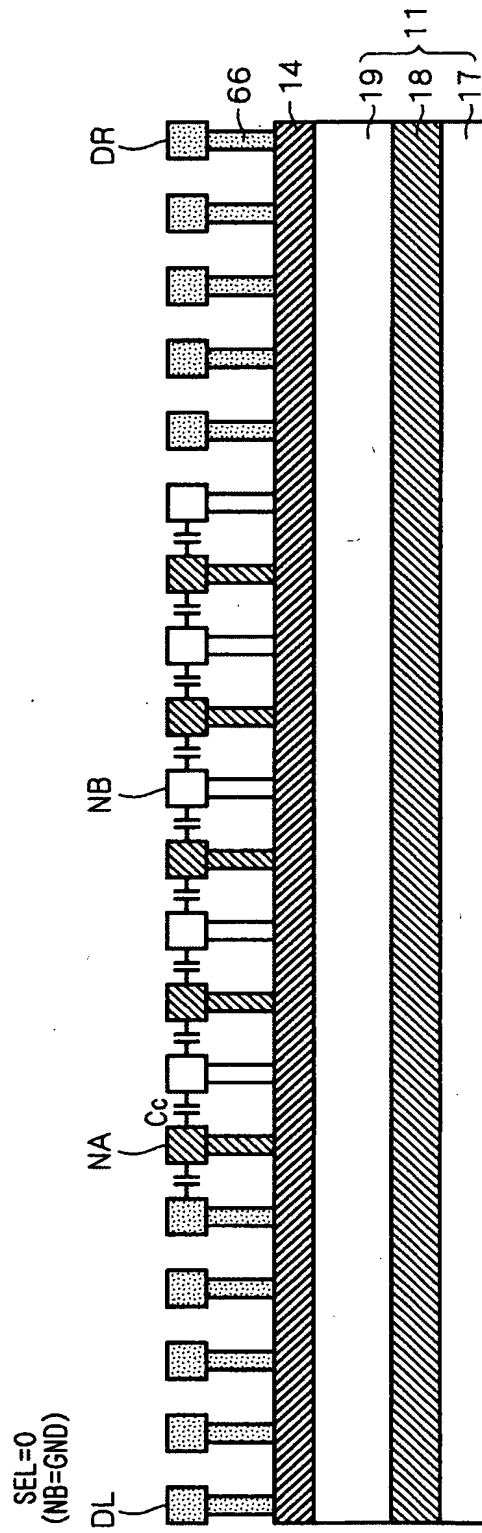
【図 4 2】



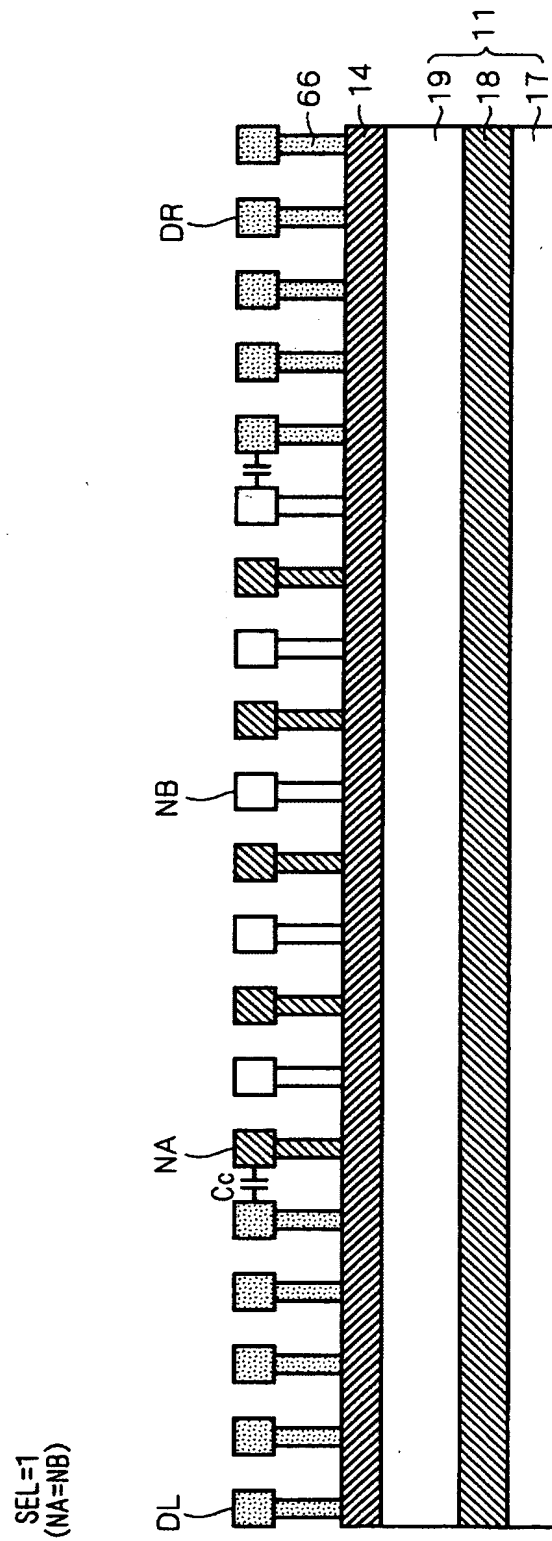
【図 4 3】



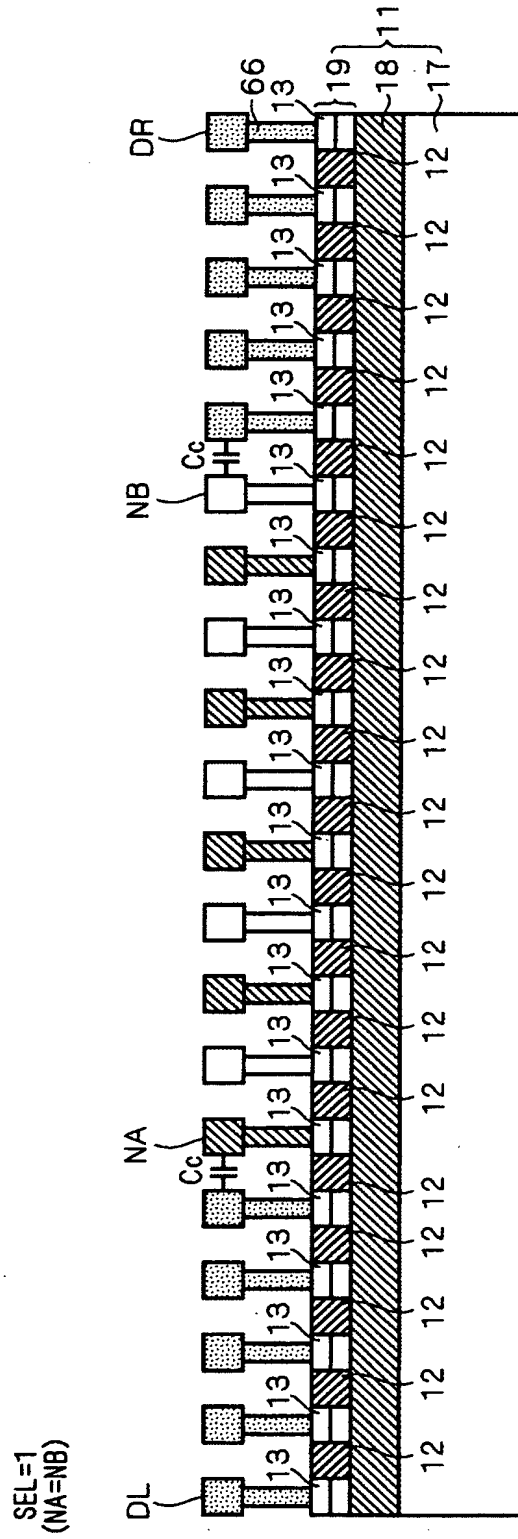
【図 4 4】



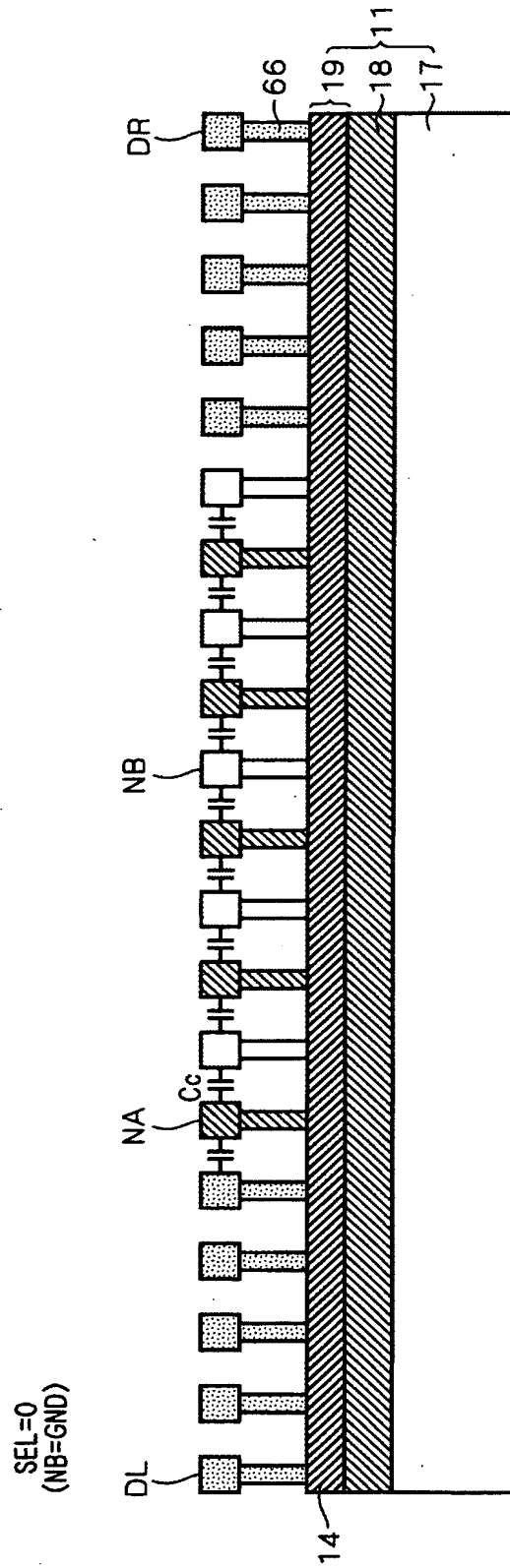
【図 4 5】



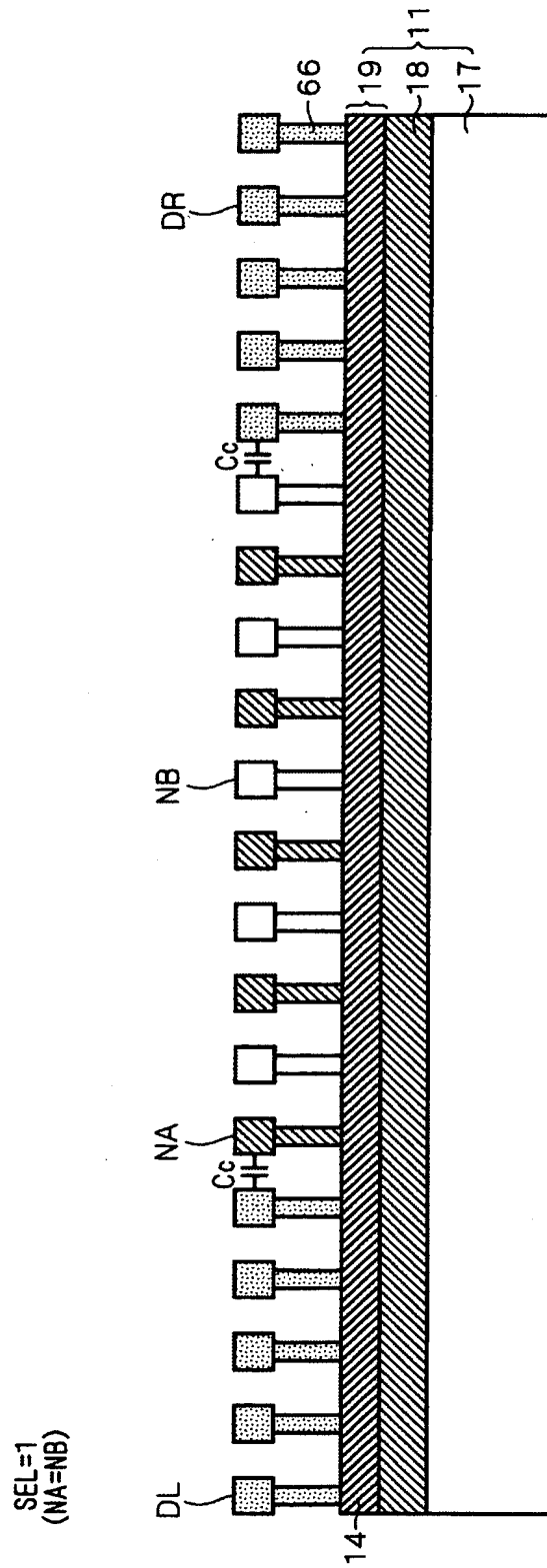
【図 47】



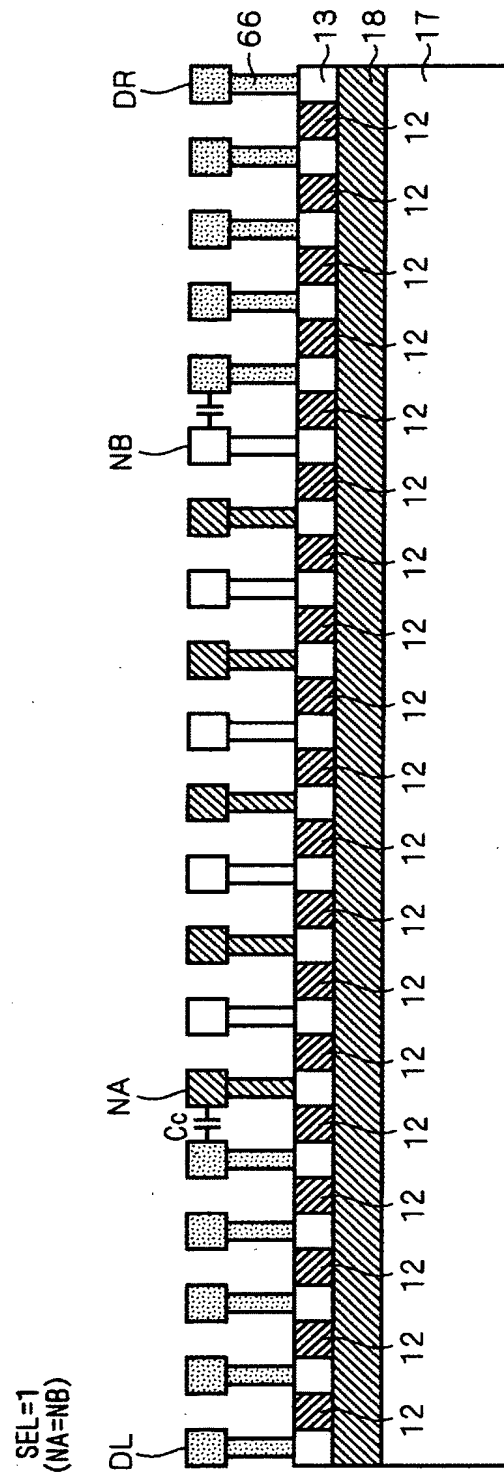
【図 4 8】



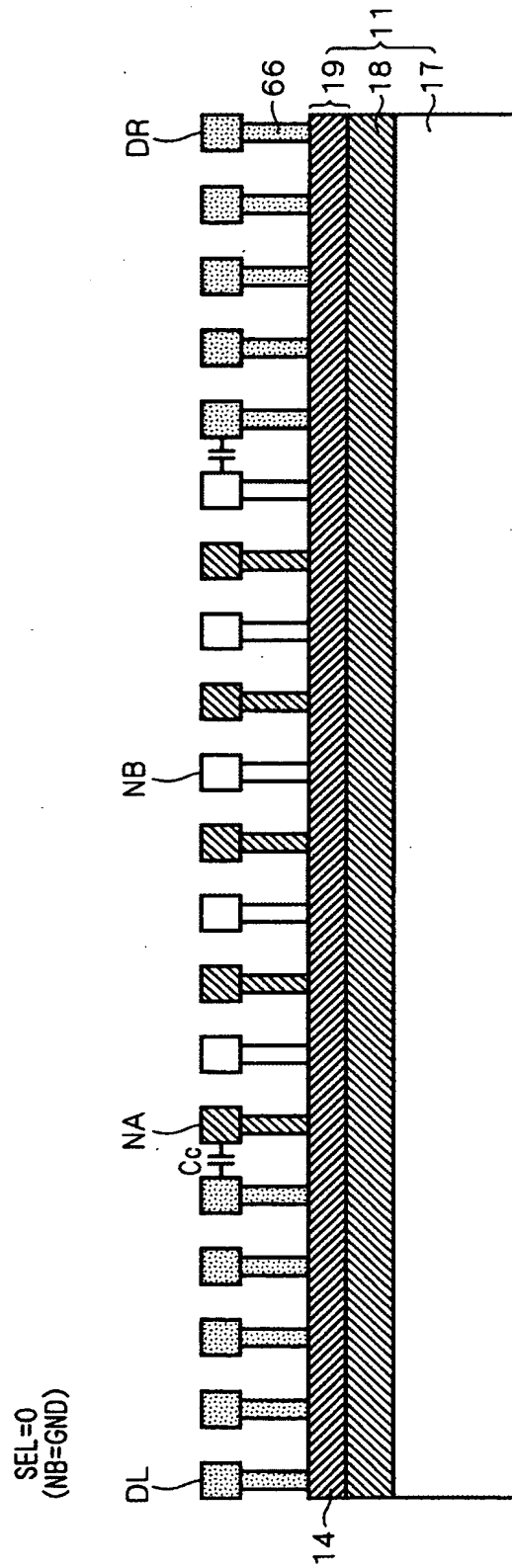
【図 4 9】



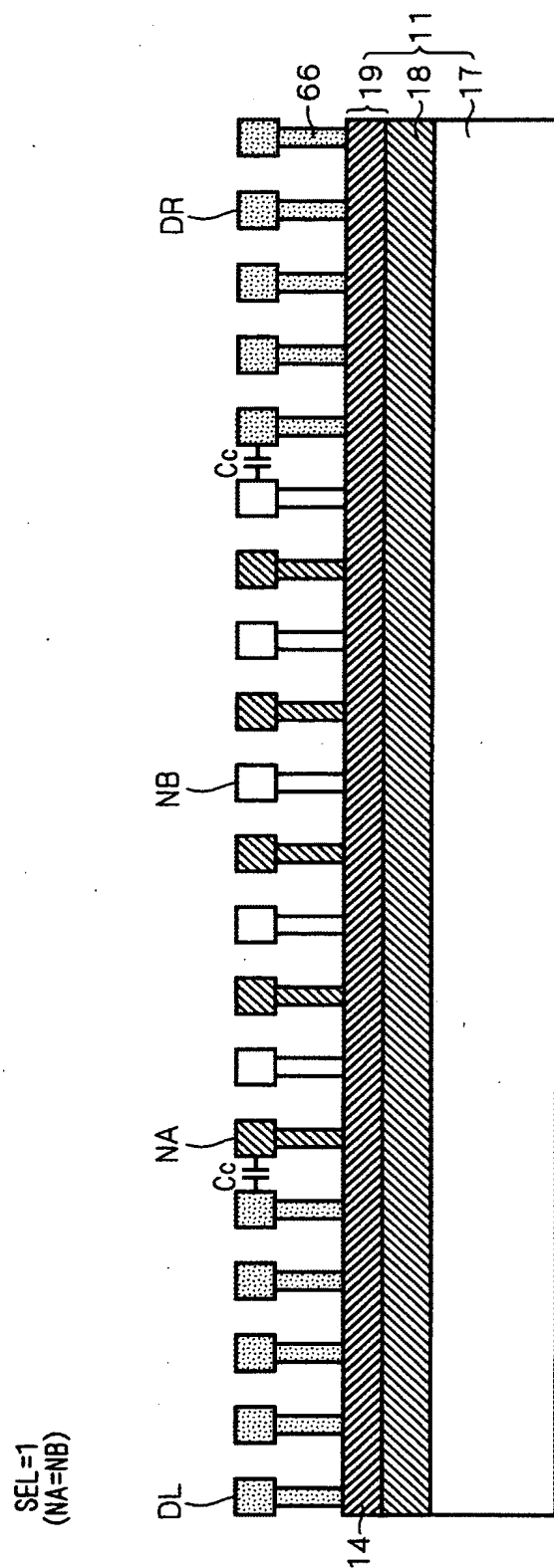
【図 5 1】



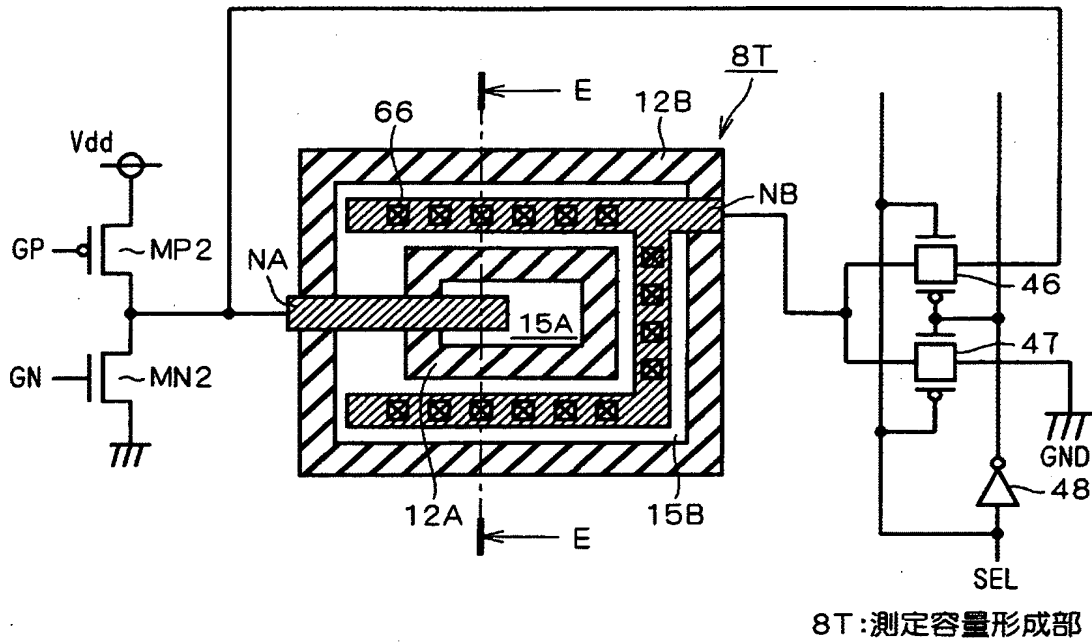
【図 5 2】



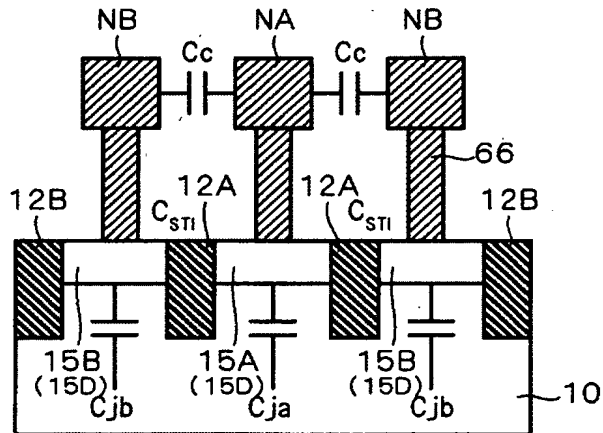
【図 53】



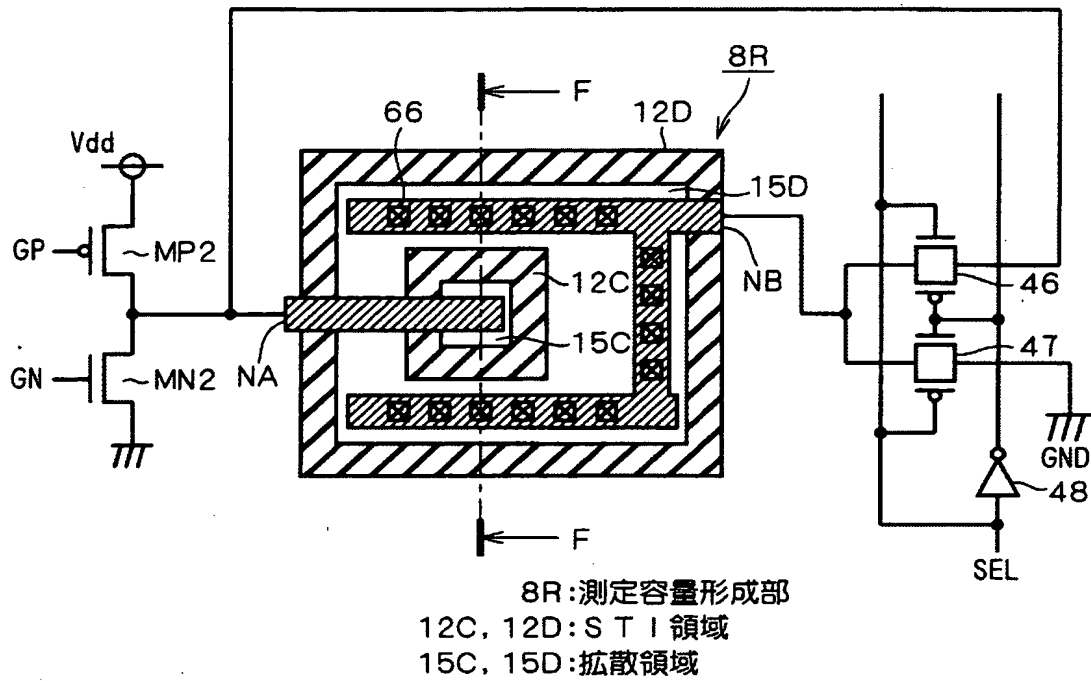
【図 5 4】



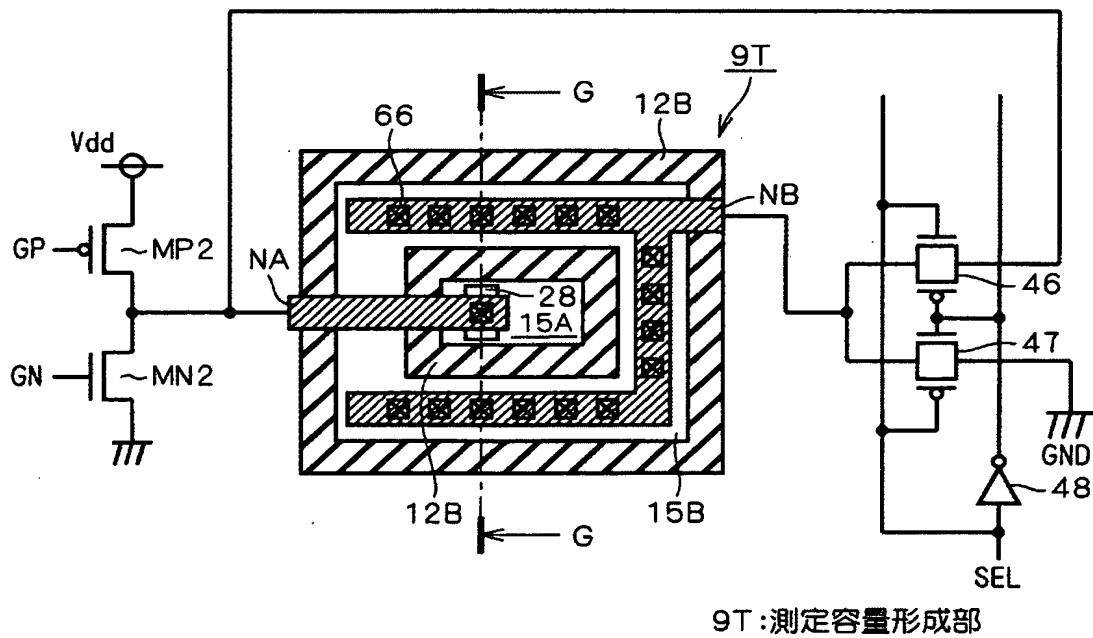
【図 5 5】



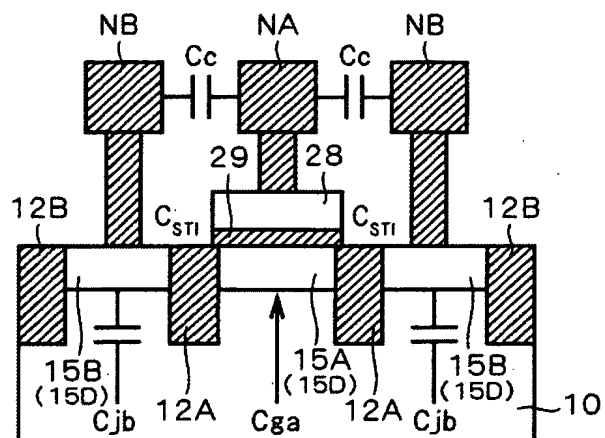
【図 5 6】



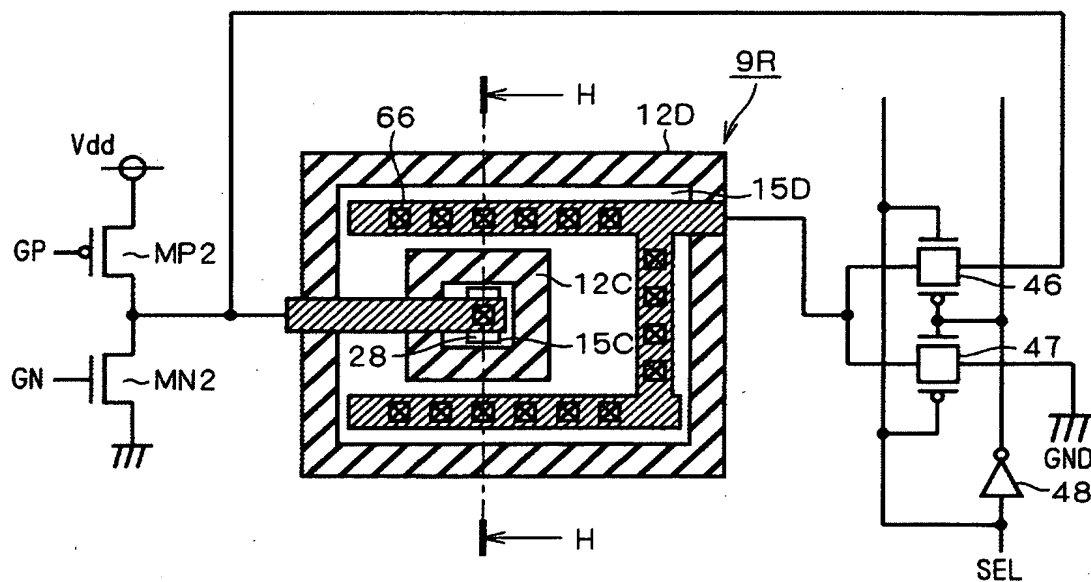
【図 5 7】



【图 5 8】



【图 5 9】



9R:測定容量形成部

【書類名】 要約書

【要約】

【課題】 被測定対象の容量成分を分離した測定が可能なC B C M用回路を得る

【解決手段】 PMOSトランジスタMP2, NMOSトランジスタMN2のドレイン間の端子P2にノードN1が電氣的に接続され、ノードN1はノードN2との間に測定容量形成部としてカップリング容量Ccが形成される。ノードN2は端子P2及びNMOSトランジスタMN3を介してパッド58に接続され、PMOSトランジスタMP1, NMOSトランジスタMN1のドレイン間の端子P3にノードN3が接続される。ノードN3にはダミー容量として基準容量Crefが設けられる。電流計61及び電流計62によって電源からノードN3及びノードN1にそれぞれ供給される電流Ir及び電流Itがそれぞれ測定され、電流計63によってノードN2から誘起され接地レベルに流れる電流Imが測定される

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社